

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-015451

(43)Date of publication of application : 22.01.1999

(51)Int.Cl.

G09G 3/36
G02F 1/133

BEST AVAILABLE COPY

(21)Application number : 09-179169

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 20.06.1997

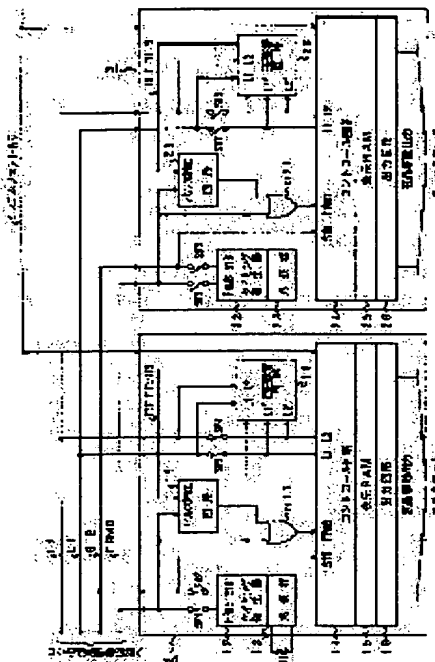
(72)Inventor : YUKI NOBUYUKI

(54) LIQUID CRYSTAL DRIVING CIRCUIT AND CONTROL METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the occurrence of the blackout of a liquid crystal display by performing a synchronization without utilizing a system resetting function at the time of eliminating a synchronous deviation when the synchronous deviation is generated in the circuit.

SOLUTION: A slave mode liquid crystal driving circuit outputs gradation level signals L1', L2' from a control circuit 24 of itself to input them to a self-diagnostic circuit 28. Here, they are compared with gradation level signals L1, L2 to be inputted from the control circuit 14 of a master mode liquid crystal driving circuit as to whether L1=L1', L2=L2' or not, and when they are not matched with each other, the circuit 28 judges that a synchronous deviation is generated to invert the logic of a signal REFRHB from the circuit 28 whilst they are noncoincident. The synchronous deviation is dissolved by the inversion of the logic of the signal REFRHB. Then, the synchronous deviation is eliminated by inserting an 'H' pulse during a period when a frame signal FRMB to be inputted from the master liquid crystal driving circuit to the control circuit 24 while the logic of the signal REFRHB is inverted is an 'L'.



LEGAL STATUS

[Date of request for examination]

20.06.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3076272

[Date of registration]

09.06.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J.P.)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-15451

(43) 公開日 平成11年(1999) 1月22日

(51) Int.Cl.⁸

識別記号

F I

G 0 9 G 3/36

G 0 9 G 3/36

G 0 2 F 1/133

5 7 5

G 0 2 F 1/133

5 7 5

審査請求 有 請求項の数 7 F D (全 20 頁)

(21) 出願番号 特願平9-179169

(22) 出願日 平成9年(1997) 6月20日

(71) 出願人 000232036

日本電気アイシーマイコンシステム株式会
社

神奈川県川崎市中原区小杉町 1 丁目403番
53

(72) 発明者 幸 信行

神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

(74) 代理人 弁理士 高橋 友二

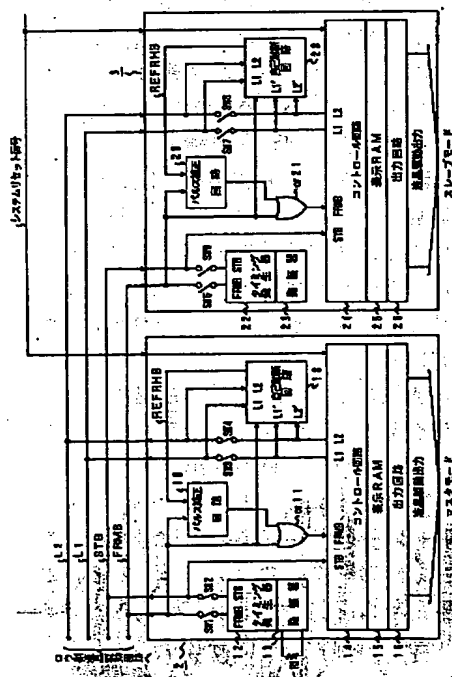
(54) 【発明の名称】 液晶駆動回路及びその制御方法

(57) 【要約】

【課題】 マスタとスレーブ液晶駆動回路の階調レベル
信号の値を同期させる際に表示オフを無くし、液晶ディ
スプレイのブラックアウトを防ぐ。

【解決手段】 同期ズレを起こしたスレーブモード自身
でマスタモードの階調レベル信号を同期を取るためにパ
ルス補正回路にて生成された信号を階調レベル信号発生
器に送信し自己補正を行う。また同期ズレを起こしたス
レーブモードが自身及び他の階調レベル信号発生器およ
びタイミング発生器を初期化して同期化する。

BEST AVAILABLE COPY



BEST AVAILABLE COPY

(2)

【特許請求の範囲】

【請求項1】 それぞれが階調レベル信号発生器を内蔵するコントロール回路を備えたカラム側液晶駆動回路でマスタモード液晶駆動回路と単数または複数のスレーブモード液晶駆動回路とが構成され、

前記マスタモード液晶駆動回路は、

発振器13およびタイミング発生器12により液晶駆動タイミング信号STBおよびフレーム信号FRMBを生成して自己のコントロール回路14に入力して液晶駆動出力を出力すると共に、この液晶駆動タイミング信号STBおよびフレーム信号FRMBを前記スレーブモード液晶駆動回路へ送出し、自己のコントロール回路14から階調レベル信号L1、L2を出力して前記スレーブモード液晶駆動回路へ送出し、

前記スレーブモード液晶駆動回路は、

前記液晶駆動タイミング信号STBおよびフレーム信号FRMBを自己のコントロール回路24に入力して液晶駆動出力を出力すると共に、自己のコントロール回路24から階調レベル信号L1'、L2'を出力して自己診断回路28に入力し、この自己診断回路28に入力される前記階調レベル信号L1、L2と、L1=L1'、L2=L2'であるか否かを比較し、これらが一致しない場合同期ズレが生じているとして前記自己診断回路28からの信号REFRHBの論理を不一致の間反転し、この信号REFRHBの論理の反転によって同期ズレを解消する液晶駆動回路の制御方法において、前記信号REFRHBの論理が反転している間、前記マスタモード液晶駆動回路から前記コントロール回路24へ入力されるフレーム信号FRMBの「L」期間の間に「H」パルスを挿入していった同期ズレを解消することを特徴とする液晶駆動回路の制御方法。

【請求項2】 それぞれが階調レベル信号発生器を内蔵するコントロール回路を備えたカラム側液晶駆動回路でマスタモード液晶駆動回路と単数又は複数のスレーブモード液晶駆動回路とが構成され、

前記マスタモード液晶駆動回路は、

発振器13およびタイミング発生器12により液晶駆動タイミング信号STBおよびフレーム信号FRMBを生成して自己のコントロール回路14に入力して液晶駆動出力を出力すると共に、この液晶駆動タイミング信号STBおよびフレーム信号FRMBを前記スレーブモード液晶駆動回路へ送出し、自己のコントロール回路14から階調レベル信号L1、L2を出力して前記スレーブモード液晶駆動回路へ送出し、

前記スレーブモード液晶駆動回路は、

前記液晶駆動タイミング信号STBおよびフレーム信号FRMBを自己のコントロール回路24に入力して液晶駆動出力を出力すると共に、自己のコントロール回路24から階調レベル信号L1'、L2'を出力して自己診断回路28に入力し、この自己診断回路28に入力され

2

る前記階調レベル信号L1、L2と、L1=L1'、L2=L2'であるか否かを比較し、これらが一致しない場合同期ズレが生じているとして不一致の間前記自己診断回路28からの信号REFRHBの論理を反転し、この信号REFRHBの論理の反転によって同期ズレを解消する液晶駆動回路の制御方法において、

前記信号REFRHBの論理が反転している間、前記マスタモード液晶駆動回路から前記コントロール回路24へ入力される前記フレーム信号FRMB及び液前記液晶駆動タイミング信号STBの入力を停止させて同期ズレを解消することを特徴とする液晶駆動回路の制御方法。

【請求項3】 それぞれが階調レベル信号発生器を内蔵するコントロール回路を備えたカラム側液晶駆動回路でマスタモード液晶駆動回路と単数または複数のスレーブモード液晶駆動回路とが構成され、

前記マスタモード液晶駆動回路は、

発振器13およびタイミング発生器12により液晶駆動タイミング信号STBおよびフレーム信号FRMBを生成して自己のコントロール回路14に入力して液晶駆動出力を出力すると共に、この液晶駆動タイミング信号STBおよびフレーム信号FRMBを前記スレーブモード液晶駆動回路へ送出し、自己のコントロール回路14から階調レベル信号L1、L2を出力して前記スレーブモード液晶駆動回路へ送出し、

前記スレーブモード液晶駆動回路は、

前記液晶駆動タイミング信号STBおよびフレーム信号FRMBを自己のコントロール回路24に入力して液晶駆動出力を出力すると共に、自己のコントロール回路24から階調レベル信号L1'、L2'を出力して自己診断回路28に入力し、この自己診断回路28に入力される前記階調レベル信号L1、L2と、L1=L1'、L2=L2'であるか否かを比較し、これらが一致しない場合同期ズレが生じているとして不一致の間前記自己診断回路28からの信号REFRHBの論理を反転し、この信号REFRHBの論理の反転によって同期ズレを解消する液晶駆動回路の制御方法において、

前記信号REFRHBを全てのカラム側液晶駆動回路の前記タイミング発生器及びコントロール回路へ入力し、前記タイミング発生器と前記コントロール回路に内蔵される前記階調レベル信号発生器をリセットすることによって同期ズレを解消することを特徴とする液晶駆動回路の制御方法。

【請求項4】 それぞれが階調レベル信号発生器を内蔵するコントロール回路を備えたカラム側液晶駆動回路でマスタモード液晶駆動回路と単数又は複数のスレーブモード液晶駆動回路とが構成され、

前記マスタモード液晶駆動回路は、

発振器13およびタイミング発生器12により液晶駆動タイミング信号STBおよびフレーム信号FRMBを生成して自己のコントロール回路14に入力して液晶駆動

BEST AVAILABLE COPY

(3)

出力を出力すると共に、この液晶駆動タイミング信号STBおよびフレーム信号FRMBを前記スレーブモード液晶駆動回路へ送出し、自己のコントロール回路14から階調レベル信号L1、L2を出力して前記スレーブモード液晶駆動回路へ送出する手段を備え、

前記スレーブモード液晶駆動回路は、

前記液晶駆動タイミング信号STBおよびフレーム信号FRMBを自己のコントロール回路24に入力して液晶駆動出力を出力すると共に、自己のコントロール回路24から階調レベル信号L1'、L2'を出力して自己診断回路28に入力し、この自己診断回路28に入力される前記階調レベル信号L1、L2と、L1=L1'、L2=L2'であるか否かを比較し、これらが一致しない場合同期ズレが生じているとして前記自己診断回路28からの信号REFRHBの論理を不一致の間反転し、この信号REFRHBの論理の反転によって同期ズレを解消する手段を備えた液晶駆動回路において、

前記スレーブモード液晶駆動回路に、

前記信号REFRHBの論理が反転している間、前記マスタモード液晶駆動回路から前記コントロール回路24へ入力されるフレーム信号FRMBの「L」期間の間に「H」パルスを挿入していつて同期ズレを解消する補正回路を備えたことを特徴とする液晶駆動回路。

【請求項5】 それぞれが階調レベル信号発生器を内蔵するコントロール回路を備えたカラム側液晶駆動回路でマスタモード液晶駆動回路と単数又は複数のスレーブモード液晶駆動回路とが構成され、

前記マスタモード液晶駆動回路は、

発振器1.3およびタイミング発生器1.2により液晶駆動タイミング信号STBおよびフレーム信号FRMBを生成して自己のコントロール回路14に入力して液晶駆動出力を出力すると共に、この液晶駆動タイミング信号STBおよびフレーム信号FRMBを前記スレーブモード液晶駆動回路へ送出し、自己のコントロール回路14から階調レベル信号L1、L2を出力して前記スレーブモード液晶駆動回路へ送出する手段を備え、

前記スレーブモード液晶駆動回路は、

前記液晶駆動タイミング信号STBおよびフレーム信号FRMBを自己のコントロール回路24に入力して液晶駆動出力を出力すると共に、自己のコントロール回路24から階調レベル信号L1'、L2'を出力して自己診断回路28に入力し、この自己診断回路28に入力される前記階調レベル信号L1、L2と、L1=L1'、L2=L2'であるか否かを比較し、これらが一致しない場合同期ズレが生じているとして前記自己診断回路28からの信号REFRHBの論理を不一致の間反転し、この信号REFRHBの論理の反転によって同期ズレを解消する手段を備えた液晶駆動回路において、

前記スレーブモード液晶駆動回路に、

前記信号REFRHBの論理が反転している間、前記マ

4

スタモード液晶駆動回路から前記コントロール回路24へ入力される前記フレーム信号FRMB及び液前記晶駆動タイミング信号STBの入力を停止させて同期ズレを解消する補正回路を備えたことを特徴とする液晶駆動回路。

【請求項6】 前記自己診断回路28は、その最終段にインバータを備えたことを特徴とする請求項4乃至請求項5の何れかに記載の液晶駆動回路。

【請求項7】 それぞれが階調レベル信号発生器を内蔵するコントロール回路を備えたカラム側液晶駆動回路でマスタモード液晶駆動回路と単数又は複数のスレーブモード液晶駆動回路とが構成され、

前記マスタモード液晶駆動回路は、

発振器1.3およびタイミング発生器1.2により液晶駆動タイミング信号STBおよびフレーム信号FRMBを生成して自己のコントロール回路14に入力して液晶駆動出力を出力すると共に、この液晶駆動タイミング信号STBおよびフレーム信号FRMBを前記スレーブモード液晶駆動回路へ送出し、自己のコントロール回路14から階調レベル信号L1、L2を出力して前記スレーブモード液晶駆動回路へ送出する手段を備え、

前記スレーブモード液晶駆動回路は、

前記液晶駆動タイミング信号STBおよびフレーム信号FRMBを自己のコントロール回路24に入力して液晶駆動出力を出力すると共に、自己のコントロール回路24から階調レベル信号L1'、L2'を出力して自己診断回路28に入力し、この自己診断回路28に入力される前記階調レベル信号L1、L2と、L1=L1'、L2=L2'であるか否かを比較し、これらが一致しない場合同期ズレが生じているとして前記自己診断回路28からの信号REFRHBの論理を不一致の間反転し、この信号REFRHBの論理の反転によって同期ズレを解消する手段を備えた液晶駆動回路において、

前記信号REFRHBを全てのカラム側液晶駆動回路の前記タイミング発生器及びコントロール回路へ入力し、前記タイミング発生器と前記コントロール回路に内蔵される前記階調レベル信号発生器をリセットして同期ズレを解消する手段を備えたことを特徴とする液晶駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は液晶駆動回路に関し、特に表示RAMや表示RAMアドレス、階調演算回路等のコントロール回路を内蔵する液晶駆動回路及びその制御方法に関する。

【0002】

【従来の技術】 近年、PDA(Personal Digital Assistants 携帯用情報端末)等では、低消費電力化が重要視されることから、液晶表示装置のカラム側液晶駆動回路に表示RAMや表示RAMアドレス回路、階調演算回路

BEST AVAILABLE COPY

(4)

5

等のコントロール回路を内蔵させ、この液晶表示装置を使用する装置の低消費電力化を図る技術の開発が進められている。このような液晶表示装置の駆動回路は、カラム側液晶駆動回路である階調表示用液晶駆動回路の出力と、ロウ側液晶駆動回路であるライン選択液晶駆動回路の出力とを組み合わせ、液晶ディスプレイ表示が行われる。

【0003】カラム側液晶駆動回路には、マスタモード、スレーブモードの2モードがあり、マスタモードでは内蔵発振器を動作させ、スレーブモード液晶駆動回路及びロウ側液晶駆動回路へ同期信号を送信する。それぞれのカラム側液晶駆動回路は、表示RAMやコントロール回路等を内蔵しているため、マスタ液晶駆動回路からの同期信号を基に、各スレーブ液晶駆動回路のコントロール回路が、マスタ液晶駆動回路のコントロール回路と同期を取る構成となっている。然しながらマスタ液晶駆動回路からの供給信号線に外来ノイズ等が乗り、スレーブ液晶駆動回路が誤ってこのノイズを信号と判断すると、マスタとスレーブ間のコントロール回路の階調演算回路等の動作に同期ズレが生じ、階調演算回路より生成されたカラム側液晶駆動出力値と、液晶階調レベル信号を基に出力されるロウ側液晶駆動出力値との差で現される液晶ディスプレイ表示が、マスタ駆動回路と同期がズレたスレーブ駆動回路によって、その出力分の縦ラインの液晶表示パネルの表示異常が継続する。

【0004】このような同期ズレは、マスタ側のコントロール回路で生成され、ロウ側液晶駆動回路に送信される階調レベル信号と、スレーブ液晶駆動回路の各々コントロール回路で生成された階調レベル信号との比較で判断できることから、従来の液晶駆動回路では、スレーブ液晶駆動回路内の自己診断回路で同期ズレを判断し、判断したスレーブ液晶駆動回路から全スレーブ液晶駆動回路にシステムリセット信号を供給し、カラム側の全液晶駆動回路の初期化を行い同期ズレを解消することとしている。然しながらこの初期化を行うために、液晶ディスプレイ表示が一瞬ブラックアウトするという問題が生じる。以下、これについて詳述する。

【0005】図12は従来の液晶表示装置の一例を示すブロック図である。480×240サイズの液晶ディスプレイ1にカラム側液晶駆動回路IC2～4が3個設けられ、ロウ側液晶駆動回路IC5が1個設けられた構成において、カラム側液晶駆動回路2～4のうち、液晶駆動回路2はマスタモードに、他のカラム側液晶駆動回路3～4はスレーブモードに設定され、マスタモードの液晶駆動回路2は、発振器用外付け抵抗R1を接続し、内部発振器を動作して、液晶駆動タイミング信号STB、フレーム信号FRMB、階調レベル信号L1、L2を、カラム側スレーブモード液晶駆動回路3～4と、ロウ側液晶駆動回路5に供給する構成となっており、また自己診断回路出力REFRHBは各カラム側液晶駆動回路2～

6

4を互いに接続している。またCPUインタフェース信号7及びシステムリセット信号6は、外部から入力される。

【0006】次に図13を参照し、カラム側液晶駆動回路のうちのマスタモード2とスレーブモード3との構成および接続関係について説明する。マスタモード2及びスレーブモード3共に、発振器13、23、タイミング発生器12、22、自己診断回路18、28、コントロール回路14、24、表示RAM15、25、出力回路16、26を備えている。

【0007】なお実際には、マスタモードに指定されたカラム側液晶駆動回路では、自己診断回路18は不要となり、スレーブモードに指定されたカラム側液晶駆動回路では、発振器23及びタイミング発生器22は不要となるが、同一の液晶駆動回路を使用しているためスイッチSW1～SW8でこれらの切換を行っている。マスタモード2では、スイッチSW1～4がオンすると、発振器用外付け抵抗R1が取り付けられた発振器13が動作して、タイミング発生器12より液晶駆動タイミング信号STBおよびフレーム信号FRMBが出力され、これらの信号が自己のコントロール回路14へ入力されて表示RAM15および出力回路16が動作し、液晶駆動出力が行われる。また、これらの信号はスレーブモード3及び図12に示すロウ側液晶駆動回路5へも供給される。またコントロール回路14より、階調レベル信号L1とL2とが出力され、これらの信号がスレーブモード3およびロウ側液晶駆動回路5へ供給される。

【0008】スレーブモード液晶駆動回路3は、スイッチSW5～8がオフし、発振器23及びタイミング発生器22が停止しているため、コントロール回路24への信号STB、FRMB及び自己診断回路28への信号FRMBは、マスタモード2からこれらの信号を入力し、表示RAM25及び出力回路26を動作させ液晶駆動出力を行い、またコントロール回路24から階調レベル信号L1とL2とを出力して、自己診断回路28に信号L1'、L2'として入力している。上述のように自己診断回路28への信号L1、L2は、マスタモード2のコントロール回路14から入力されており、信号L1、L2とL1'、L2'とが比較され、その結果、自己診断回路出力REFRHBが生成され、自己のAND回路27の一方に入力され、他方に入力されるシステムリセット信号とANDされると共に、この自己診断回路出力REFRHBがマスタモード2や他のスレーブモード4へも供給される構成となっている。

【0009】次に図14を参照して自己診断回路28の構成および動作について説明する。セット信号Sが

「H」で、自己診断回路出力REFRHBは「H」がセットされ、信号L1とL1'およびL2とL2'の一致を、XOR1～2、NOR1で行い、何れか不一致が発生すると、フィリップフロップFF1のデータDに

BEST AVAILABLE COPY

(5)

7

「L」レベルが入力され、その状態でフレーム信号RRMBが立ち上がると、FF1の出力Qが「H」から

「L」になり、この出力が遅延回路D1、インバータ回路INV1、NOR回路NOR2、N型MOSトランジスタNch、プルアップ抵抗RUで構成される回路により、自己診断回路出力REFRHBは遅延回路D1の遅延時間分の「L」となるように構成されている。

【0010】次に図15を参照し、従来の液晶駆動回路で同期ズレが発生し、このズレが復帰されるまでの動作について説明する。まずマスタモード2で出力される階調レベル信号L1、L2の動作サイクルについて、図15(B)を用いて説明する。1サイクルはフレーム信号FRMBが、F1～F4の4回のロウパルス信号の入力で1サイクルとなっており、液晶駆動タイミング信号STBはフレーム信号FRMBの「L」パルスと、次の「L」パルスとの間に、121回の立上り信号が入力される。

【0011】最初のフレーム信号FRMBのF1のタイミングで「L」パルスが入力されたときに、液晶駆動タイミング信号STBの1回目の立上り信号で、L1＝「H」、L2＝「H」が出力され、次にF2の「L」パルスが入力されるまでのSTB信号の立上り信号で、L2のレベルが反転する。以降、F2の時はL1＝「H」、L2＝「L」、F3の時はL1＝「L」、L2＝「L」、F4のときはL1＝「L」、L2＝「H」と言うように、STBの1回目の立上りでL2のレベルが反転する。

【0012】次に図15(A)において、フレーム信号FRMBにノイズ(N1)が乗った場合について説明する。最初にシステムリセット信号RESETBが入り、L1、L2の1サイクル分S1の間は、液晶駆動回路の初期化時間になっており、液晶ディスプレイ表示のちらつき防止のために、Y出力がオフ(ブラックアウト)となっており、次のサイクルS2以降はY出力が表示オン出力となる。そしてS2のオン出力の中で、ノイズN1がフレーム信号FRMBに1パルス乗った場合、次の液晶駆動タイミング信号STBの3の立上りで同期ズレが発生し、自己診断回路28の検出タイミングK1～K11のK6で同期ズレが検出され、自己診断回路出力REFRHBが所定期間「L」となり、自身も含め全てのカラム側液晶駆動回路IC2～4がAND回路27等によってリセットされ初期化される。従って階調レベル信号L1、L2は同期化されるが、次のサイクルS3ではY出力がオフとなり、次のサイクルS4以降にオンとなる。

【0013】

【発明が解決しようとする課題】従来の液晶駆動回路は以上のように例えばフレーム信号にノイズが乗ってマスタとスレーブの階調レベル信号に同期ズレが生じた場合、同期ズレを検出した自己診断回路出力REFRHB

8

を他の全てのカラム側液晶駆動回路へ送信して、全てのカラム側液晶駆動回路をリセットして初期化を行い同期ズレを解消することとしている。全てのカラム側液晶駆動回路が初期化されると、表示RAM及びコントロール回路の初期化時間の間の液晶ディスプレイ表示のちらつきを防止するため、表示オフ出力が働き、液晶ディスプレイ表示は正規のシステムリセット入力がないのに一瞬ブラックアウトされてしまい、目障りになると共に、表示故障と誤判断される恐れがある等の問題点があった。

【0014】本発明はかかる問題点を解決するためになされたものであり、マスタとスレーブの階調レベル信号に同期ズレが生じ、この同期ズレを解消する間も液晶ディスプレイ表示がブラックアウトすることのない液晶駆動回路及びその制御方法を提供することを目的としている。

【0015】

【課題を解決するための手段】本発明の液晶駆動回路の制御方法は、それぞれが階調レベル信号発生器を内蔵するコントロール回路を備えたカラム側液晶駆動回路でマスタモード液晶駆動回路と単数または複数のスレーブモード液晶駆動回路とが構成され、前記マスタモード液晶駆動回路は、発振器13およびタイミング発生器12により液晶駆動タイミング信号STBおよびフレーム信号FRMBを生成して自己のコントロール回路14に入力して液晶駆動出力を出力すると共に、この液晶駆動タイミング信号STBおよびフレーム信号FRMBを前記スレーブモード液晶駆動回路へ送出し、自己のコントロール回路14から階調レベル信号L1、L2を出力して前記スレーブモード液晶駆動回路へ送出し、前記スレーブモード液晶駆動回路は、前記液晶駆動タイミング信号STBおよびフレーム信号FRMBを自己のコントロール回路24に入力して液晶駆動出力を出力すると共に、自己のコントロール回路24から階調レベル信号L1'、L2'を出力して自己診断回路28に入力し、この自己診断回路28に入力される前記階調レベル信号L1、L2と、L1＝L1'、L2＝L2'であるか否かを比較し、これらが一致しない場合同期ズレが生じているとして前記自己診断回路28からの信号REFRHBの論理を不一致の間反転し、この信号REFRHBの論理の反転によって同期ズレを解消する液晶駆動回路の制御方法において、前記信号REFRHBの論理が反転している間、前記マスタモード液晶駆動回路から前記コントロール回路24へ入力されるフレーム信号FRMBの「L」期間の間に「H」パルスを挿入していつて同期ズレを解消することを特徴とする。従ってシステム全体をリセットする必要なく同期ズレを解消でき、液晶ディスプレイ表示がブラックアウトされることがなくなる。

【0016】また、前記信号REFRHBの論理が反転している間、前記マスタモード液晶駆動回路から前記コントロール回路24へ入力される前記フレーム信号FR

50

BEST AVAILABLE COPY

(6)

9

MB及び液前記晶駆動タイミング信号STBの入力を停止させて同期ズレを解消することを特徴とする。従ってシステム全体をリセットする必要なく同期ズレを解消でき、液晶ディスプレイ表示がブラックアウトされることがなくなる。

【0017】さらに、前記信号REFRHBを全てのカラム側液晶駆動回路の前記タイミング発生器及びコントロール回路へ入力し、前記タイミング発生器と前記コントロール回路に内蔵される前記階調レベル信号発生器をリセットすることによって同期ズレを解消することを特徴とする。従ってシステム全体をリセットする必要なく同期ズレを解消でき、液晶ディスプレイ表示がブラックアウトされることがなくなる。

【0018】また本発明の液晶駆動回路は、それぞれが階調レベル信号発生器を内蔵するコントロール回路を備えたカラム側液晶駆動回路でマスターモード液晶駆動回路と単数又は複数のスレーブモード液晶駆動回路とが構成され、前記マスターモード液晶駆動回路は、発振器13およびタイミング発生器12により液晶駆動タイミング信号STBおよびフレーム信号FRMBを生成して自己のコントロール回路14に入力して液晶駆動出力を出力すると共に、この液晶駆動タイミング信号STBおよびフレーム信号FRMBを前記スレーブモード液晶駆動回路へ送出し、自己のコントロール回路14から階調レベル信号L1、L2を出力して前記スレーブモード液晶駆動回路へ送出する手段を備え、前記スレーブモード液晶駆動回路は、前記液晶駆動タイミング信号STBおよびフレーム信号FRMBを自己のコントロール回路24に入力して液晶駆動出力を出力すると共に、自己のコントロール回路24から階調レベル信号L1'、L2'を出力して自己診断回路28に入力し、この自己診断回路28に入力される前記階調レベル信号L1、L2と、L1=L1'、L2=L2'であるか否かを比較し、これらが一致しない場合同期ズレが生じているとして前記自己診断回路28からの信号REFRHBの論理を不一致の間反転し、この信号REFRHBの論理の反転によって同期ズレを解消する手段を備えた液晶駆動回路において、前記スレーブモード液晶駆動回路に、前記信号REFRHBの論理が反転している間、前記マスターモード液晶駆動回路から前記コントロール回路24へ入力されるフレーム信号FRMBの「L」期間の間に「H」パルスを挿入していった同期ズレを解消する補正回路を備えたことを特徴とする。従ってシステム全体をリセットする必要なく同期ズレを解消でき、液晶ディスプレイ表示がブラックアウトされることがなくなる。

【0019】また、前記スレーブモード液晶駆動回路に、前記信号REFRHBの論理が反転している間、前記マスターモード液晶駆動回路から前記コントロール回路24へ入力される前記フレーム信号FRMB及び液前記晶駆動タイミング信号STBの入力を停止させて同期ズ

10

レを解消する補正回路を備えたことを特徴とする。従ってシステム全体をリセットする必要なく同期ズレを解消でき、液晶ディスプレイ表示がブラックアウトされることがなくなる。

【0020】また前記自己診断回路28は、その最終段にインバータを備えたことを特徴とする。従って更に低消費電流化が可能となる。

【0021】さらに、前記信号REFRHBを全てのカラム側液晶駆動回路の前記タイミング発生器及びコントロール回路へ入力し、前記タイミング発生器と前記コントロール回路に内蔵される前記階調レベル信号発生器をリセットして同期ズレを解消する手段を備えたことを特徴とする。従って簡単な回路構成で、システム全体をリセットする必要なく同期ズレを解消でき、液晶ディスプレイ表示がブラックアウトされることがなくなる。

【0022】

【発明の実施の形態】以下、本発明の第1の実施形態を図面を参照して説明する。図1は、本発明の第1の実施形態が適用される液晶表示装置の装置構成の一例を示す図である。図1において、1は液晶ディスプレイ、2はカラム側液晶駆動回路IC（マスターモード）、3および4はカラム側液晶駆動回路IC（スレーブモード）、5はロウ側液晶駆動回路IC、6はシステムリセット信号、7はCPUインタフェース信号である。

【0023】480×240サイズの液晶ディスプレイ1にカラム側液晶駆動回路IC2～4が3個設けられ、ロウ側液晶駆動回路IC5が1個設けられた構成において、カラム側液晶駆動回路2～4のうち、液晶駆動回路2はマスターモードに、他のカラム側液晶駆動回路3～4はスレーブモードに設定され、マスターモードの液晶駆動回路2は、発振用外付け抵抗R1を接続し、内部発振器を動作して、液晶駆動タイミング信号STB、フレーム信号FRMB、階調レベル信号L1、L2を、カラム側スレーブモード液晶駆動回路3～4と、ロウ側液晶駆動回路5に供給する構成となっており、またCPUインタフェース信号7及びシステムリセット信号6が外部から入力される構成となっている。

【0024】次に図2を参照し、カラム側液晶駆動回路のうちのマスターモード2とスレーブモード3との構成および接続関係について説明する。マスターモード2及びスレーブモード3共に、発振器13、23、タイミング発生器12、22、自己診断回路18、28、コントロール回路14、24、表示ラム15、25、パルス補正回路19、29、OR回路or11、or12を備えている。

【0025】なお実際には、マスターモードに指定されたカラム側液晶駆動回路では、自己診断回路18、パルス補正回路19、OR回路or11は不要となり、スレーブモードに指定されたカラム側液晶駆動回路では、発振器23及びタイミング発生器22は不要となるが、同一

BEST AVAILABLE COPY

(7)

11

の液晶駆動回路を使用しているためスイッチSW1～SW8等でこれらの切換を行っている。マスタモード2では、スイッチSW1～4がオンすると、発振器用外付け抵抗R1が取り付けられた発振器13が動作して、タイミング発生器12より液晶駆動タイミング信号STBおよびフレーム信号FRMBが出力され、これらの信号が自己のコントロール回路14へ入力されて表示RAM15および出力回路16が動作し、液晶駆動出力が行われる。また、これらの信号はスレーブモード3及び図1に示すロウ側液晶駆動回路5へも供給される。またコントロール回路14より、階調レベル信号L1とL2とが出力され、これらの信号がスレーブモード3～4およびロウ側液晶駆動回路5へ供給される。

【0026】スレーブモード液晶駆動回路3は、スイッチSW5～8がオフし、発振器23及びタイミング発生器22が停止しているため、コントロール回路24へのSTB、FRMB信号は、マスタモード2からこれらの信号を入力し、表示RAM25及び出力回路26を動作させ液晶駆動出力を行うが、入力されるフレーム信号FRMBは、3つに分岐され、その1つがパルス補正回路29の一方の入力端子に入力され、他の1つはOR回路or21の一方の入力端子に入力され、このOR回路or21の他の一方の入力端子に入力されるパルス補正回路29の出力とORが取られてコントロール回路24に入力され、更に他の1つが自己診断回路28へ入力される構成となっている。またコントロール回路24から階調レベル信号L1とL2とを出力して、自己診断回路28に信号L1'、L2'として入力している。上述のように自己診断回路28へは、マスタモード2のコントロール回路14から信号L1、L2が入力されており、信号L1、L2とL1'、L2'とが比較され、その結果、自己診断回路出力REFRHBが生成され、パルス補正回路29の一方の端子へ入力される構成となっている。

【0027】次に図3を参照して、本実施形態の自己診断回路28の構成および動作について説明する。セット信号Sが「H」で、自己診断回路出力REFRHBに「H」がセットされ、信号L1とL1'およびL2とL2'の一致を、XOR1～2、NOR1で行い、何れか不一致が発生すると、フィリップフロップFF1のデータDに「L」レベルが入力され、その状態でフレーム信号FRMBが立ち上がると、FF1の出力Qが「H」から「L」になり、その信号が遅延回路D1、インバータ回路INV1、NOR回路NOR2、インバータ回路INV2で構成される回路により、自己診断回路出力REFRHBは遅延回路D1の遅延時間分「L」となるように構成されている。すなわち図14に示す従来の自己診断回路のNcホトランジスタに替えてインバータ回路INV2を使用している。これは後述するように全てのカラム側液晶駆動回路を初期化する必要がないためであ

12

る。

【0028】次に図4を参照して本実施形態のパルス補正回路29の構成および動作について説明する。リセット信号RBで初期化され補正回路出力FRPWは「L」がセットされ、フレーム信号FRMBの立上り時、図3の自己診断回路出力REFRHBが入力され、次のフレーム信号FRMBの立下りでFF10のQ出力が「L」から「H」になると、遅延回路D20、遅延回路D30、インバータ回路INV10、AND回路AND10により、遅延回路D20の遅延時間分Dy1後に、遅延回路D30の遅延時間分の「H」パルス信号(PW1)が補正出力FRPWより出力される構成となっている。

【0029】次に図5を参照し、本実施形態の液晶駆動回路で同期ズレが発生し、このズレが復帰されるまでの動作について説明する。まずマスタモード2で出力される階調レベル信号L1、L2の動作サイクルについて、図5(B)を用いて説明する。1サイクルはフレーム信号FRMBが、F1～F4の4回のロウパルス信号の入力で1サイクルとなっており、液晶駆動タイミング信号STBはフレーム信号FRMBの「L」パルスと、次の「L」パルスとの間に、121回の立上り信号が入力される。

【0030】最初のフレーム信号FRMBのF1のタイミングで「L」パルスが入力されたときに、液晶駆動タイミング信号STBの1回目の立上り信号で、L1＝「H」、L2＝「H」が出力され、次にF2の「L」パルスが入力されるまでのSTB信号の立上り信号で、L2のレベルが反転する。以降、F2の時はL1＝

「H」、L2＝「L」、F3の時はL1＝「L」、L2＝「L」、F4の時はL1＝「L」、L2＝「H」と言うように、STBの1回目の立上りでL2のレベルが反転する。

【0031】次に図5(A)において、フレーム信号FRMBにノイズ(N1)が乗った場合について説明する。最初にシステムリセット信号RESETBが入り、L1、L2の1サイクル分S1の間は、液晶駆動回路の初期化時間になっており、液晶ディスプレイ表示のちらつき防止のために、Y出力がオフ(ブラックアウト)となっており、次のサイクルS2以降はY出力がオンとなる。そしてS2のオン出力の中で、ノイズN1がフレーム信号FRMBに1パルス乗った場合、次の液晶駆動タイミング信号STBの3の立上りで同期ズレが発生し、自己診断回路28の検出タイミングK1～K10のK6で、L1≠L1'となり、自己診断回路28の出力REFRHBに「L」パルス信号が発生し、自身のパルス補正回路29の一方に入力され、このパルス補正回路29の他の一方に入力されるフレーム信号FRMBの立下りで、図4(B)の(PW1)に示すように、パルス補正回路出力FRPWに遅延回路D30の遅延時間分の「H」パルス信号が発生し、この「H」パルスがフレー

BEST AVAILABLE COPY

(8)

13

ム信号FRMBとのOR回路or 21に入力され、このOR回路or 21の出力であるコントロール回路24に入力されるフレーム信号FRMBに「H」パルスが+1追加され、自身のコントロール回路24の階調レベル信号のサイクルの状態がマスタモード2の階調レベル信号のサイクルの状態より+1進み、信号L1', L2'は、「L」, 「L」となるが、次のK7のタイミングでL1≠L1', L2≠L2'と未だ同期がズレているため、フレーム信号FRMBのF4の立下りで、パルス補正回路29から再び「H」パルスが+1追加され(PW2)、このようにしてK9のタイミングで同期が取れるまでパルス補正回路29から「H」パルスが+1追加されて(PW3)、同期化される。従って何れのカラム側液晶駆動回路2~4のリセットを行うことなく、同期ズレを解消でき、同期化されるまでの間もY出力は表示オン出力となり、ブラックアウトされることを回避できるようになっている。

【0032】次に本発明の第2の実施形態について図面を参照して説明する。この第2の実施形態の液晶駆動回路が適用される液晶表示装置は、図1に示す液晶表示装置と同じであり、その説明は省略する。図6はこの第2の実施形態におけるマスタモード2とスレーブモード3との構成および接続関係を示す図であり、図7で後述するようにパルス補正回路29の構成と、OR回路or 21およびor 22により、マスタモード2から入力される液晶駆動タイミング信号STBとフレーム信号FRMBとがパルス補正回路29の出力MASKとORされてコントロール回路24に入力される構成となっている点を除き、図2に示す第1の実施形態の構成と同様である。また自己診断回路28の構成及び動作も図3に示す第1の実施形態と同様であり、これらの説明は省略する。

【0033】次に図7を参照し本実施形態におけるパルス補正回路の構成及び動作について説明する。リセット信号RBで初期化され、パルス補正回路出力MASKは「L」状態となっており、自己診断回路出力REFRHBの「L」で、パルス補正回路出力MASKが「H」となり、次のフレーム信号FRMBの立上りでパルス補正回路出力MASKが「H」から「L」になるように構成されている。

【0034】次に図8を参照し、この第2の実施形態の液晶駆動回路で同期ズレが発生し、このズレが復帰されるまでの動作について説明する。なお、図8(B)に示すマスタモード2で出力される階調レベル信号L1, L2の動作サイクルについては、図5(B)に示す第1の実施形態と同様であるのでその説明は省略する。次に図8(A)において、フレーム信号FRMBにノイズ(N1)が乗った場合について説明する。最初にシステムリセット信号RESETBが入り、L1, L2の1サイクル分S1の間は、液晶駆動回路の初期化時間になってお

14

り、液晶ディスプレイ表示のちらつき防止のために、Y出力がオフ(ブラックアウト)となっており、次のサイクルS2以降はY出力がオンとなる。そしてS2のオン出力の中で、ノイズN1がフレーム信号FRMBに1パルス乗った場合、次の液晶駆動タイミング信号STBの3の立上りで同期ズレが発生し、自己診断回路28の検出タイミングK1~K10のK6で、L1≠L1'となり、自己診断回路28の出力REFRHBに「L」パルス信号が発生し、自身のパルス補正回路29の一方に入力され、このパルス補正回路29の出力MSAKが

「H」となり、それぞれのOR回路or 21, or 22の出力が「H」となり、マスタモード2から入力される液晶駆動タイミング信号STBとフレーム信号FRMBのクロックはコントロール回路24には入力されない。以降K7のタイミングで同期が確立し自己診断回路28の出力REFRHBが「H」となると、パルス補正回路29の出力MSAKが「L」となり、コントロール回路24へはマスタモードからの液晶駆動タイミング信号STBとフレーム信号FRMBのクロックが入力され、通常の動作に復帰する。従って何れのカラム側液晶駆動回路2~4のリセットを行うことなく、同期ズレを解消でき、同期化されるまでの間もY出力は表示オン出力となり、ブラックアウトされることを回避できるようになる。

【0035】次に本発明の第3の実施形態を図面を参照して説明する。この第3の実施形態が適用される液晶表示装置は、従来技術として説明した図12と同様であり、その説明は省略する。図9はこの第3の実施形態におけるマスタモード2とスレーブモード3との構成および接続関係を示す図であり、その構成は自己診断回路出力REFRHBとシステムリセット信号とがAND回路を介さずにそのままコントロール回路24に入力されている点、および自己診断回路の出力REFRHBがそれぞれのタイミング発生器12に入力されている点を除き、図13に示す従来技術の構成と同様になっている。

【0036】図10は、この第3の実施形態のコントロール回路24に内蔵されている階調レベル信号発生器31の接続関係を示す図である。階調レベル信号発生器31は、図11(B)のL1, L2の動作のサイクルを発生させる回路であり、システムリセット信号と自己診断回路の出力REFRHBのAND論理で初期化され、次の液晶駆動タイミング信号STBの立上りで信号L1=「H」, L2=「H」の状態になる(図11(B)のF1)。

【0037】次に図11(A)において、フレーム信号FRMBにノイズ(N1)が乗った場合について説明する。最初にシステムリセット信号RESETBが入り、L1, L2の1サイクル分S1の間は、液晶駆動回路の初期化時間になっており、液晶ディスプレイ表示のちらつき防止のために、Y出力がオフ(ブラックアウト)と

BEST AVAILABLE COPY

15

なっており、次のサイクルS 2以降はY出力がオンとなる。そしてS 2のオン出力の中で、ノイズN 1がフレーム信号FRMBに1パルス乗った場合、次の液晶駆動タイミング信号STBの3の立上りで同期ズレが発生し、自己診断回路28の検出タイミングK 1～K 11のK 6で、L 1≠L 1' となり、自己診断回路28の出力REFRHBに「L」パルス信号が発生し、自身のコントロール回路24及びタイミング発生器22にこの自己診断出力REFRHBが入力される他、他の全てのカラム側液晶駆動回路に入力され、各々のタイミング発生器およびコントロール回路に内蔵された階調レベル信号発生器31がリセットされるが、各々のコントロール回路の他の制御回路へはシステムリセット信号の「H」がそのまま継続して維持され、従って何れのカラム側液晶駆動回路2～4の表示動作はリセットされることなく、同期ズレを解消でき、同期化されるまでの間もY出力は表示オン出力となり、ブラックアウトされることを回避できるようになる。

【0038】

【発明の効果】本発明の液晶駆動回路及びその制御方法は以上説明したように構成され動作することで以下のような効果が生じる。同期ズレが発生し、同期ズレを解消する際にシステムリセット機能を利用せずに同期化を行う構成としたので、液晶ディスプレイ表示のブラックアウトをなくすることができる。また第1の実施形態および第2の実施形態においては、同期ズレが生じた液晶駆動回路自身で同期化を行う構成としたため、全てのカラム液晶駆動回路ICを初期化する必要がなく、各カラム液晶駆動回路IC間を接続する自己診断回路出力REFRHB線を省略でき、液晶表示装置の簡素化が図れる。さらに全てのカラム液晶駆動回路ICを初期化するためのREFRHB端子のNchオープンドレインが不要となるため、更なる低消費電流化が図れる（例えばVGAサイズ8個の場合リセット時間中の貫通電流MAX 5mAが削減できる）等の効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施形態が適用される液晶表示装置の装置構成の一例を示す図である。

【図2】本発明の第1の実施形態を説明するための図である。

【図3】本実施形態の自己診断回路28の構成および動作を説明するための図である。

【図4】図2に示す第1の実施形態のパルス補正回路29の構成および動作を説明するための図である。

【図5】第1の実施形態における同期ズレ解消動作を説明するための図である。

【図6】本発明の第2の実施形態を説明するための図である。

【図7】図6に示す第2の実施形態のパルス補正回路29の構成および動作を説明するための図である。

(9)

16

【図8】第2の実施形態における同期ズレ解消動作を説明するための図である。

【図9】本発明の第3の実施形態を説明するための図である。

【図10】第3の実施形態における階調レベル信号発生器の接続関係を示す図である。

【図11】第3の実施形態における同期ズレ解消動作を説明するための図である。

【図12】従来の液晶駆動回路が適用される液晶表示装置の一例を示す図である。

【図13】従来の液晶駆動回路を説明するための図である。

【図14】従来の液晶駆動回路の自己診断回路28の構成および動作を説明するための図である。

【図15】従来の液晶駆動回路における同期ズレ解消動作を説明するための図である。

【符号の説明】

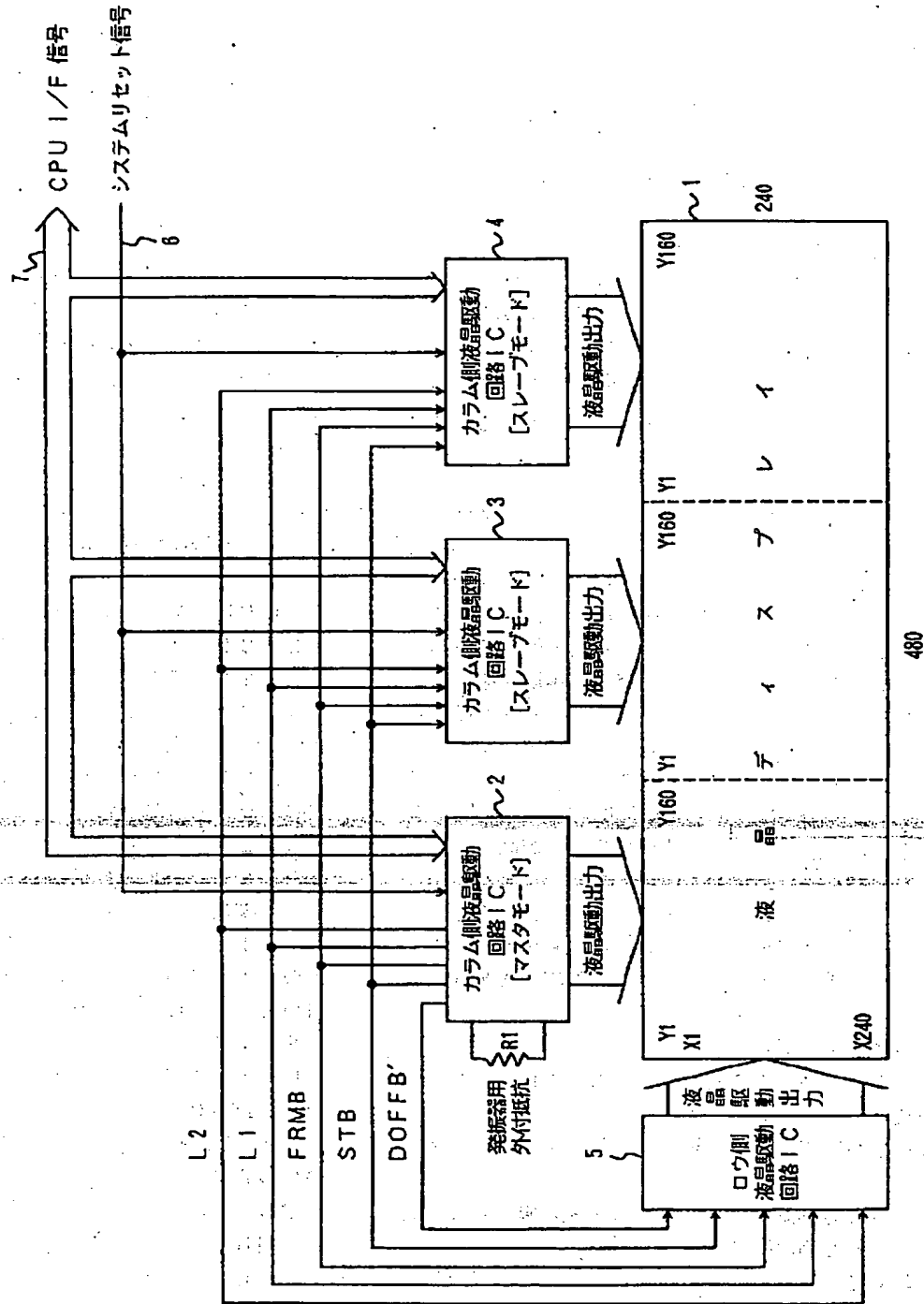
- 1 液晶ディスプレイ
- 2 カラム側液晶駆動回路IC（マスターモード）
- 3～4 カラム側液晶駆動回路IC（スレーブモード）
- 5 ロウ側液晶駆動回路IC
- 6 システムリセット信号
- 7 CPUインタフェース信号
- 12, 22 タイミング発生器
- 13, 23 発振器
- 14, 24 コントロール回路
- 15, 25 表示ラム
- 17, 27, AND10, AND20, AND30, AND40 AND回路
- 18, 28 自己診断回路
- 19, 29 パルス補正回路
- 31 階調レベル信号発生器
- or11, or12, or21, or22 OR回路
- XOR1, XOR2 XOR回路
- NOR1, NOR2 NOR回路
- FF1, FF10, FF11, フリップフロップ
- INV1, INV2, INV10 インバータ回路
- D1, D10, D11, D20, D30 遅延回路
- Nch N型MOSトランジスタ
- DOOFB' 表示フ出力
- STB 液晶駆動タイミング信号
- FRMB フレーム信号
- L1, L2 マスタモード階調レベル信号
- L1', L2' スレーブモード階調レベル信号
- REFRHB 自己診断回路出力
- RESETB システムリセット信号
- FRPW, MASK パルス補正回路出力
- N1 ノイズ
- S1～4 L1, L2の動作サイクル
- K1～K11 自己診断検出タイミング

(10)

17
PW1~3 パルス補正回路出力

18
Y出力 液晶駆動出力

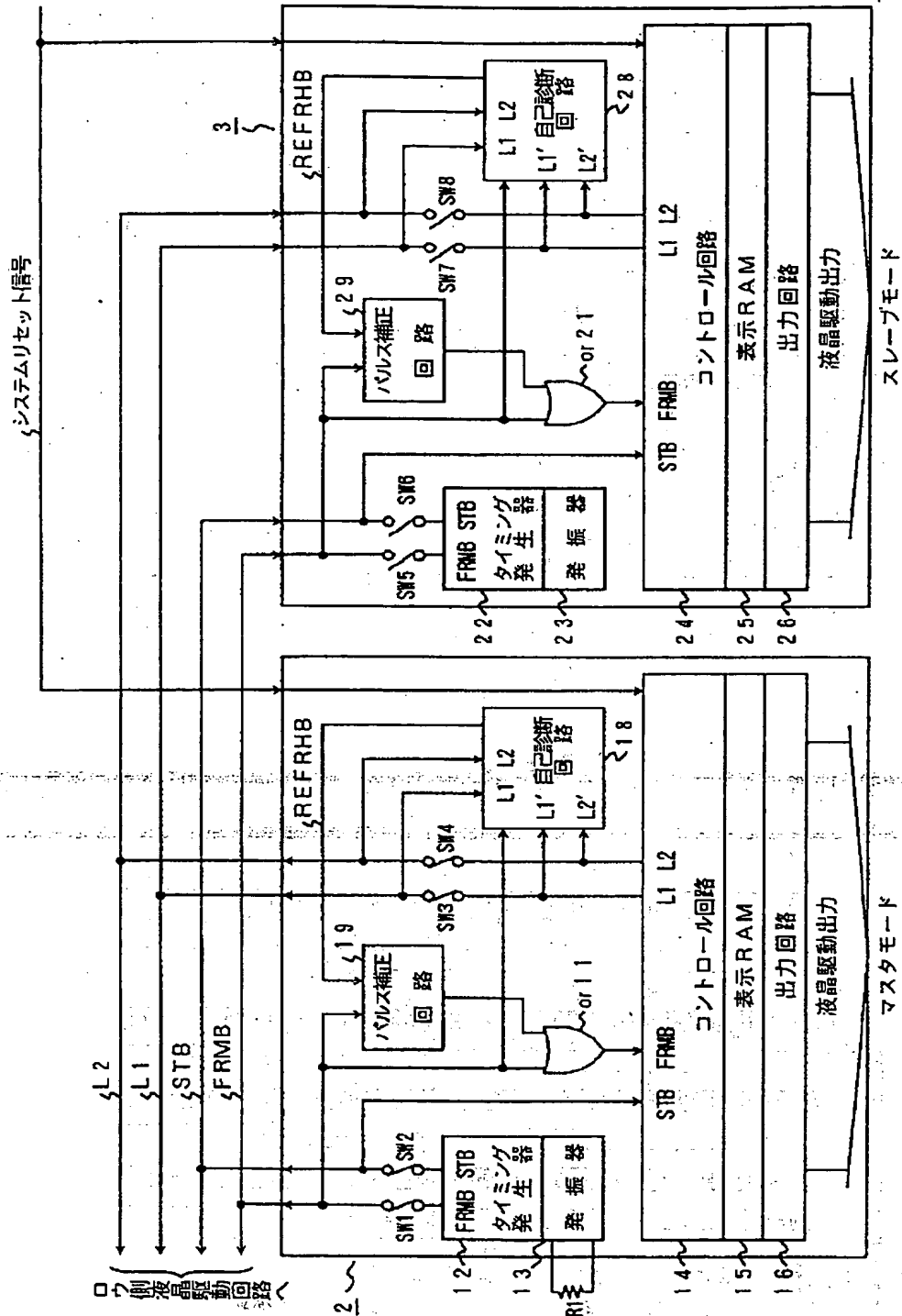
【図1】



BEST AVAILABLE COPY

(11)

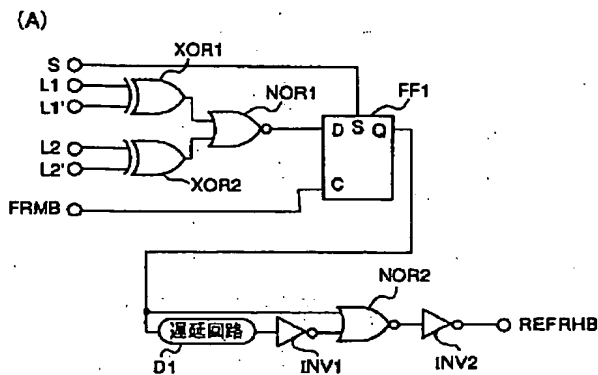
【図2】



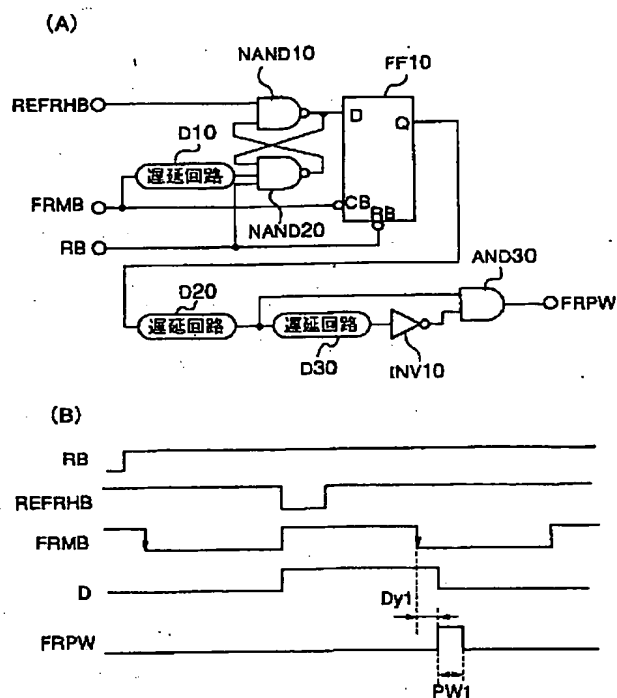
BEST AVAILABLE COPY

(12)

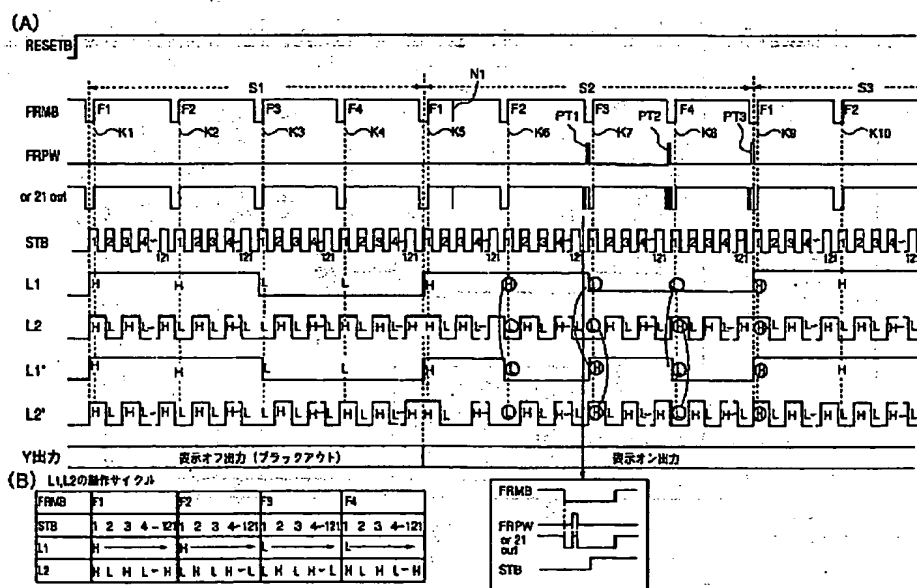
【図3】



【図4】



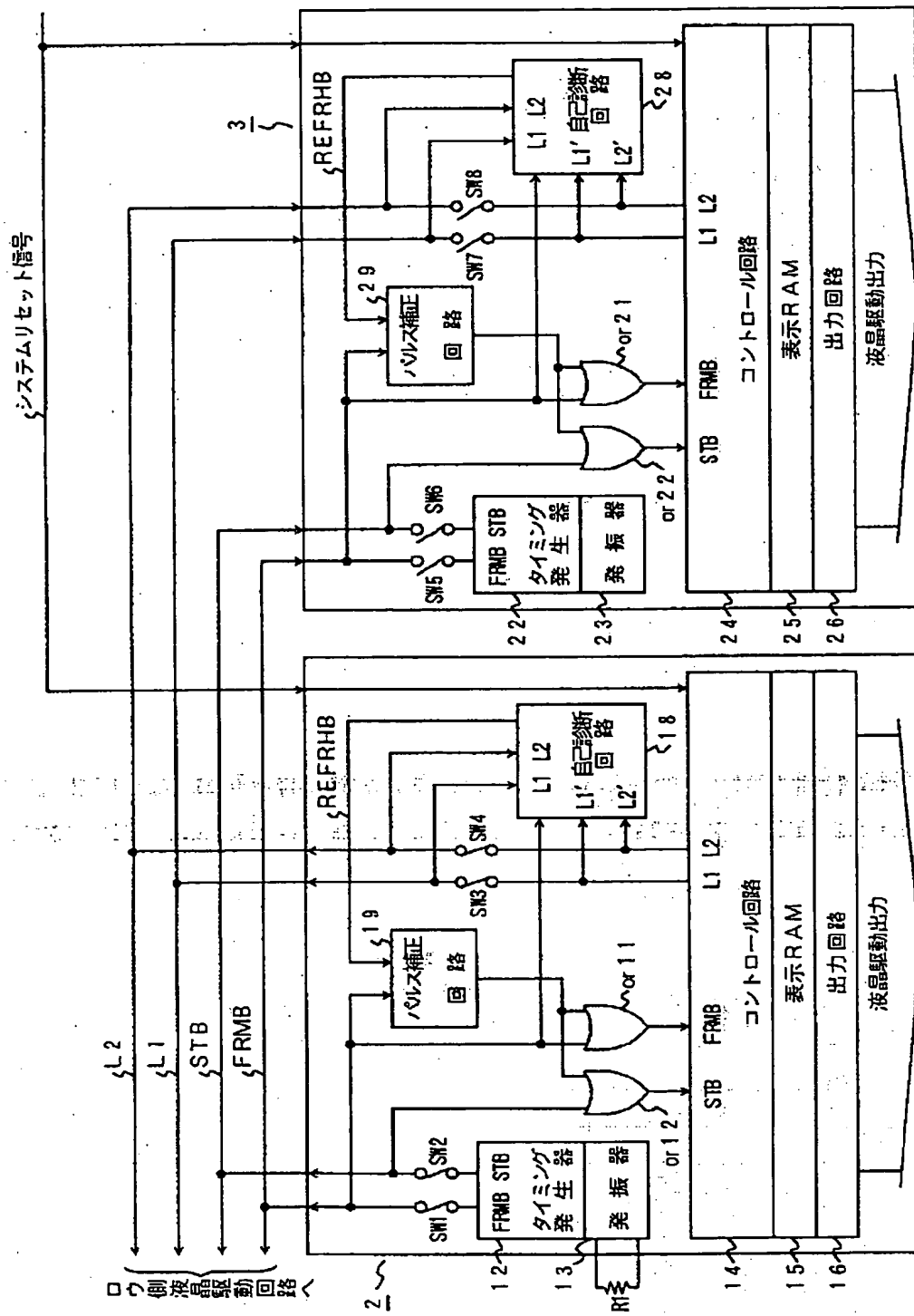
【図5】



BEST AVAILABLE COPY

(13)

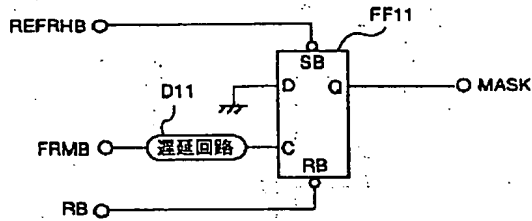
【図6】



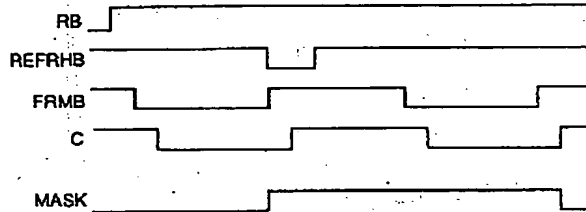
(14)

【図7】

(A)

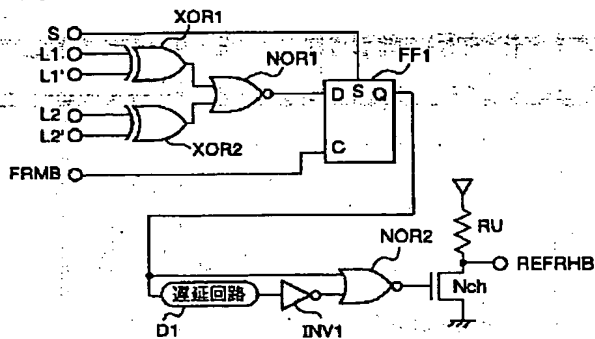


(B)



【図14】

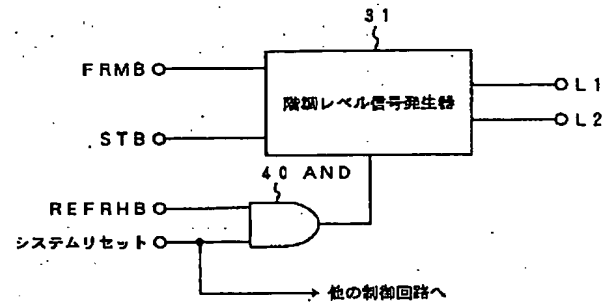
(A)



(B)

真理値表					
S	L1	L1'	L2	L2'	FRMB
H	X	X	X	X	X
L	L1≠L1'		X	X	—
L	X	X	L2≠L2'		—
L	L1=L1'		L2=L2'		—
L	X	X	X	X	—

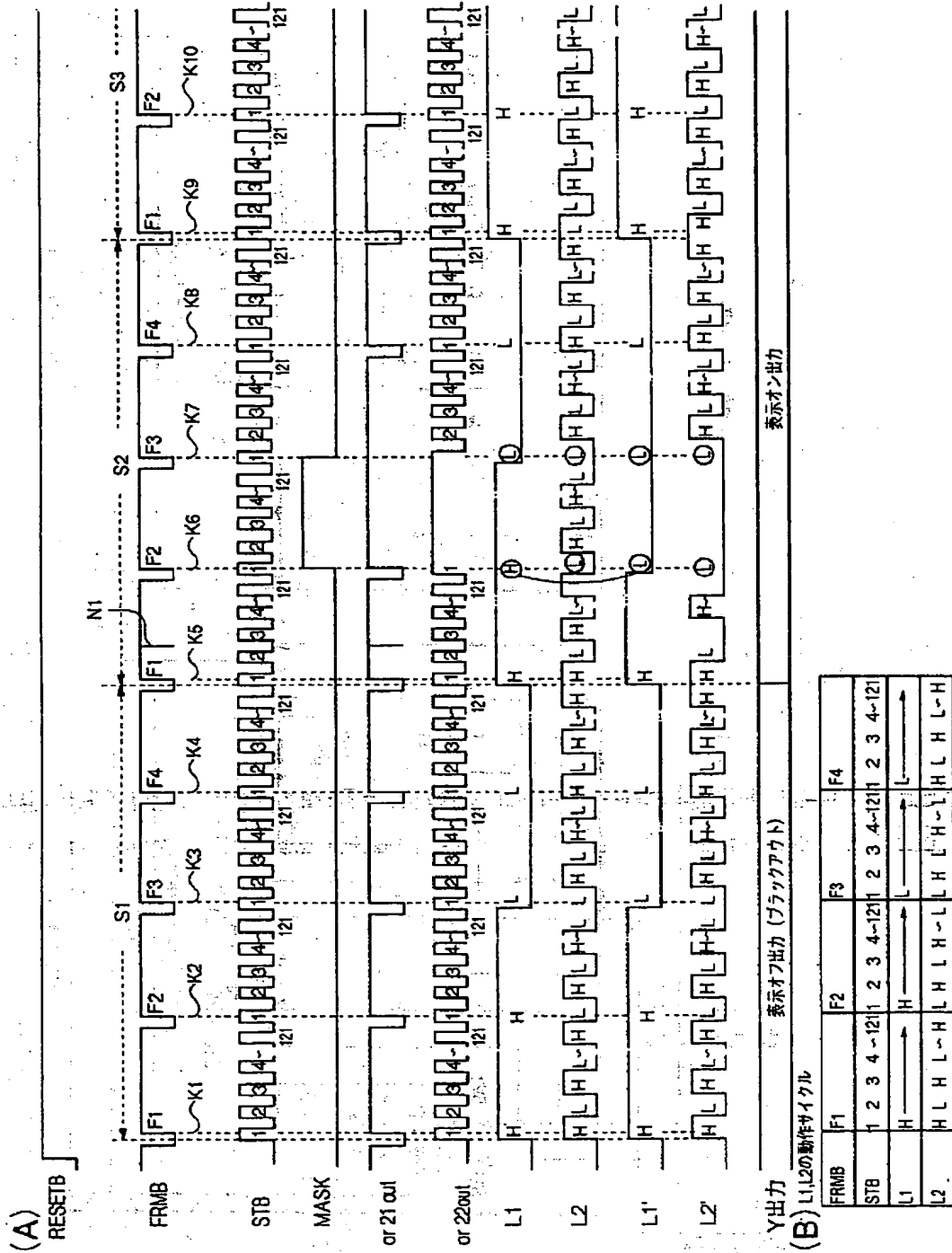
【図10】



BEST AVAILABLE COPY

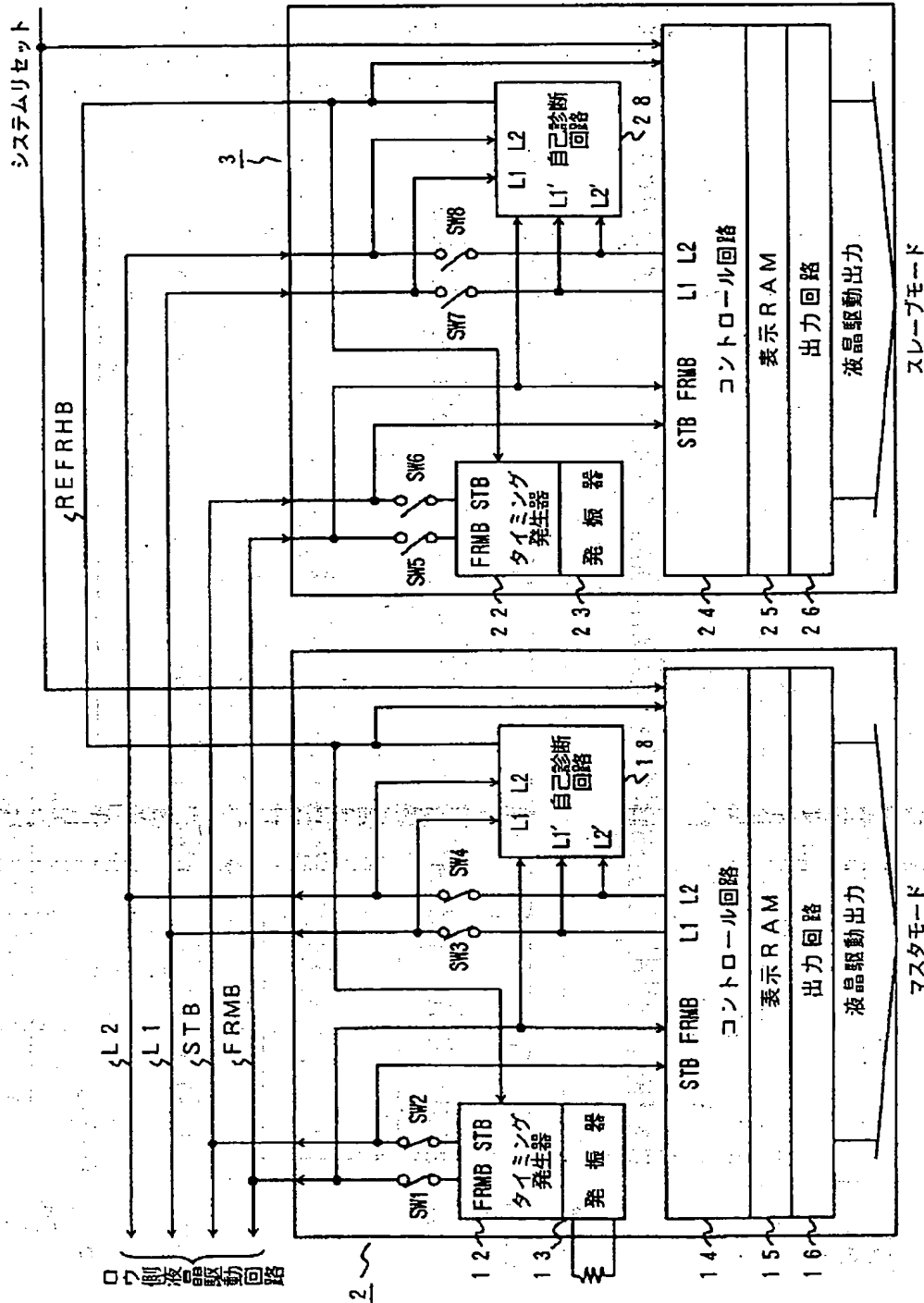
(15)

【図 8】



(16)

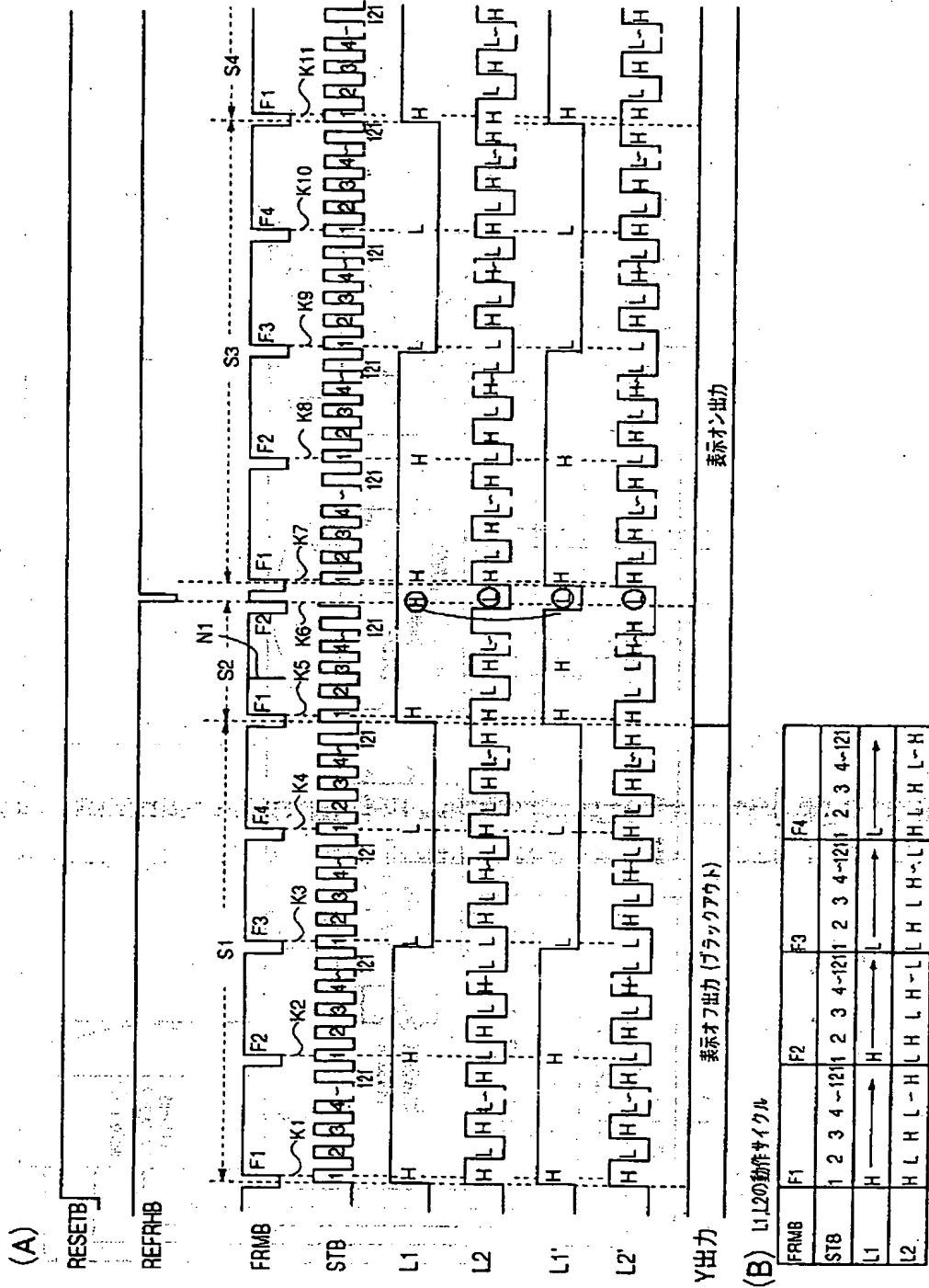
【図9】



BEST AVAILABLE COPY

(17)

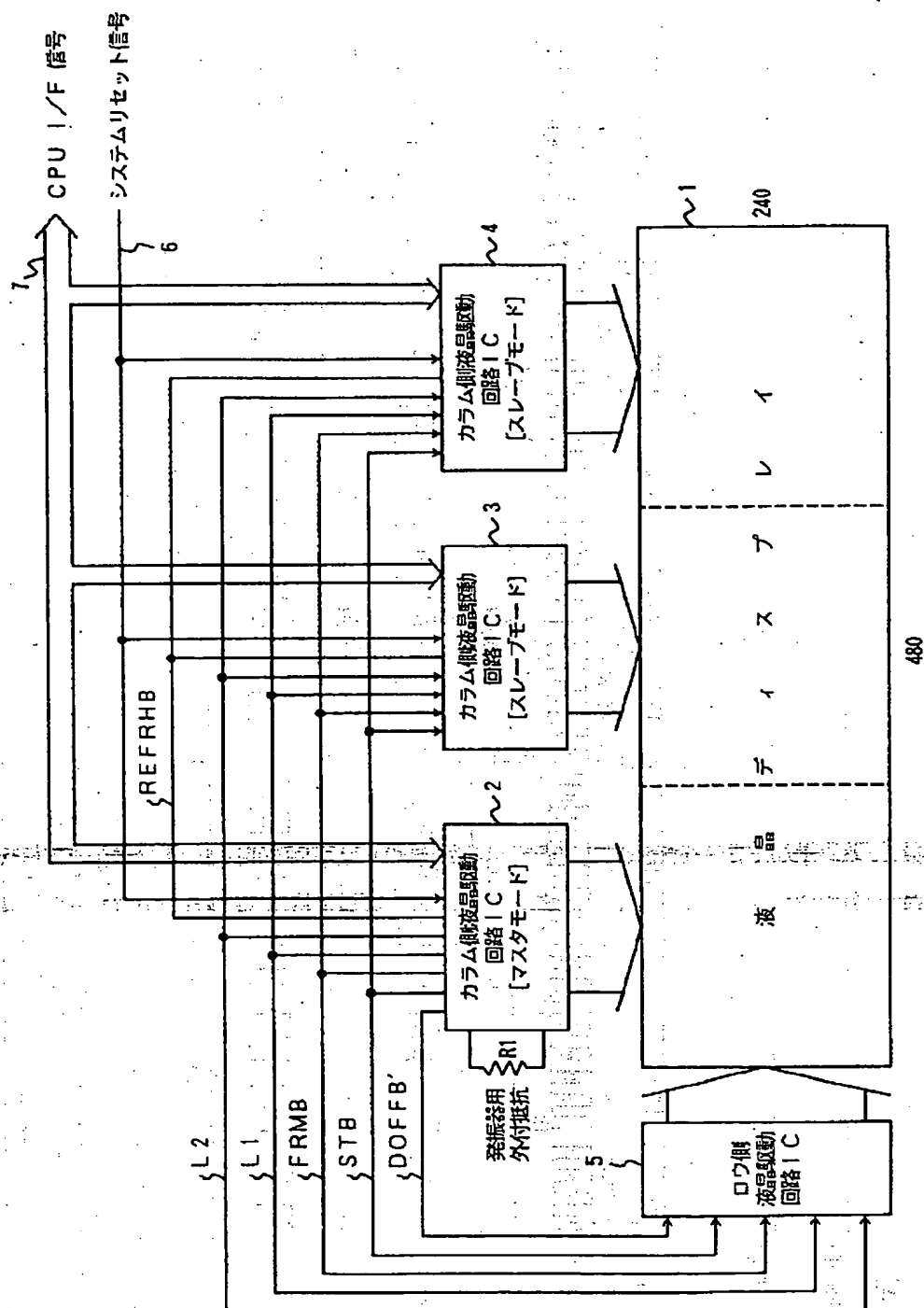
【図11】



BEST AVAILABLE COPY

(18)

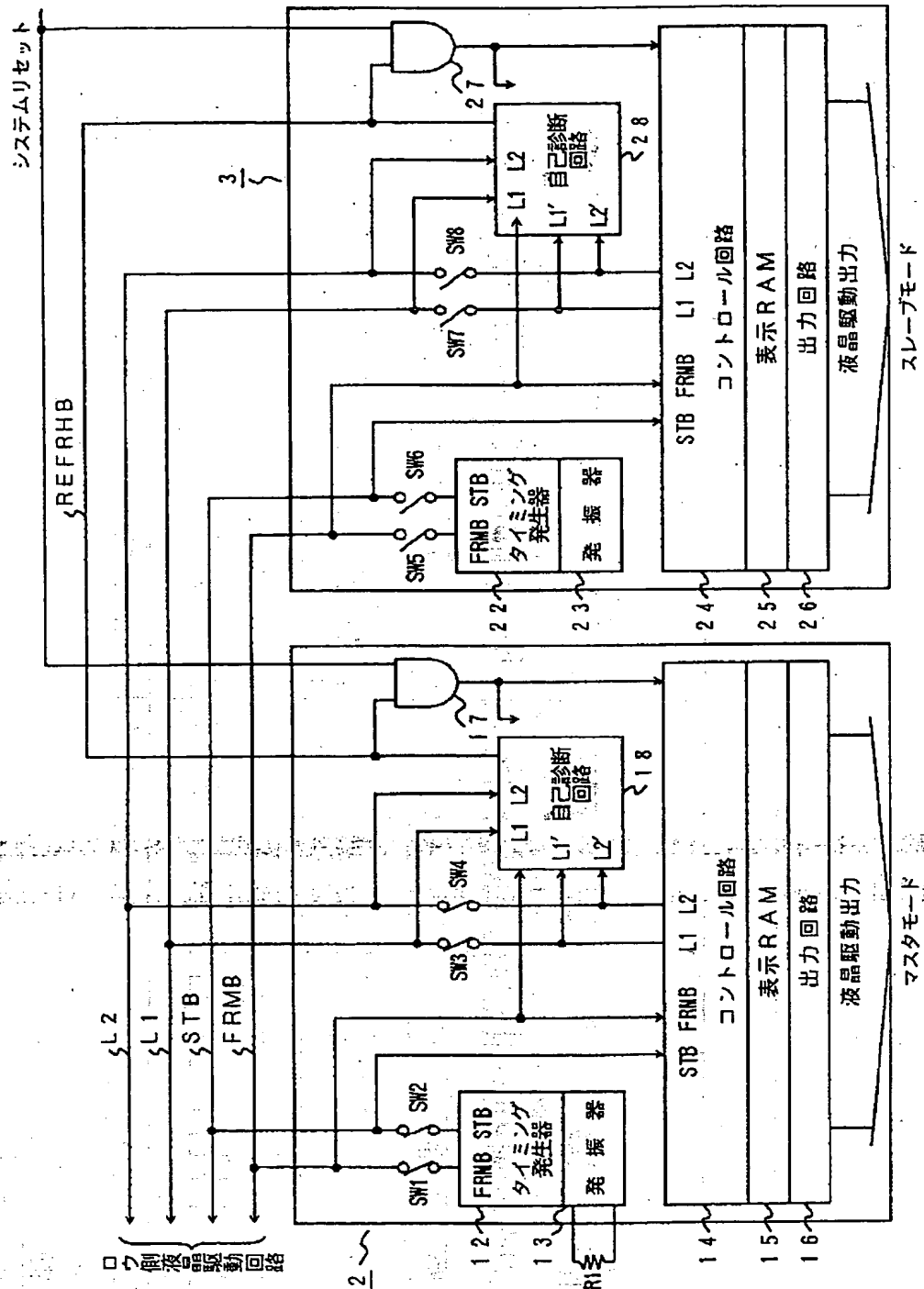
【图 12】



BEST AVAILABLE COPY

(19)

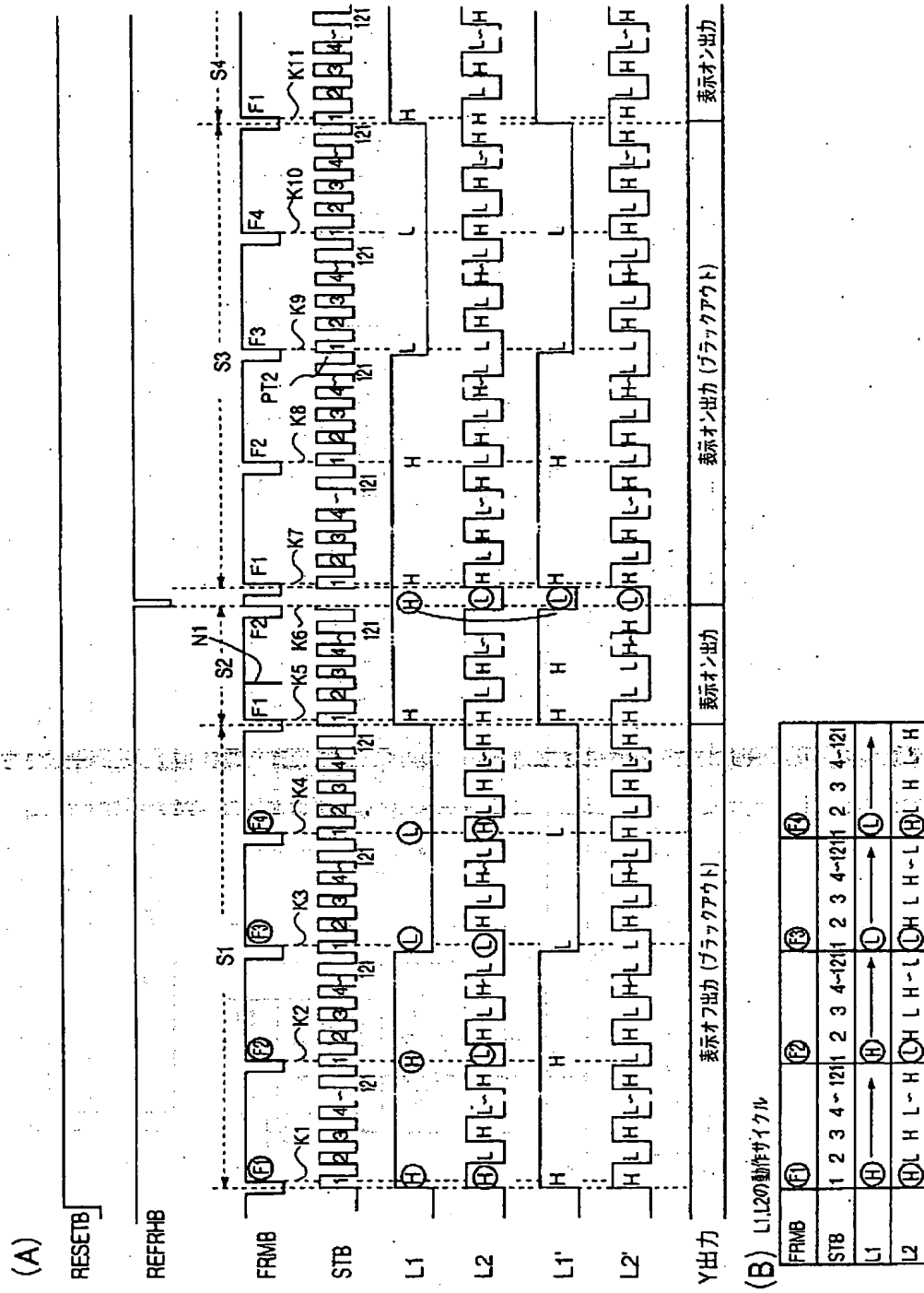
【図13】



BEST AVAILABLE COPY

(20)

【図15】



BEST AVAILABLE COPY

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A master mode liquid crystal drive circuit, an unit, or two or more slave-mode liquid crystal drive circuits consist of column side liquid crystal drive circuits equipped with the control circuit in which each builds a gradation level signal generator. While said master mode liquid crystal drive circuit generates liquid crystal drive timing signal STB and the frame signal FRMB with an oscillator 13 and a timing generator 12, inputs them into the self control circuit 14 and outputs a liquid crystal drive output. This liquid crystal drive timing signal STB and the frame signal FRMB are sent out to said slave-mode liquid crystal drive circuit. The gradation level signals L1 and L2 are outputted from the self control circuit 14, and it sends out to said slave-mode liquid crystal drive circuit. Said slave-mode liquid crystal drive circuit While inputting said liquid crystal drive timing signal STB and the frame signal FRMB into the self control circuit 24 and outputting a liquid crystal drive output Gradation level signal L1 from control circuit 24 which is self', and said gradation level signals L1 and L2 which output L2', input into the self-test circuit 28, and are inputted into this self-test circuit 28, The logic of the signal REFRHB from said self-test circuit 28 is reversed between inequalities noting that synchronous gap has arisen, when it compares [$L1=L1'$ and] whether it is $L2=L2'$ and these are not in agreement. In the control approach of the liquid crystal drive circuit which cancels synchronous gap by reversal of the logic of this signal REFRHB The control approach of the liquid crystal drive circuit characterized by inserting the "H" pulse between the "L" periods of the frame signal FRMB inputted into said control circuit 24 from said master mode liquid crystal drive circuit, and canceling synchronous gap while the logic of said signal REFRHB is reversed.

[Claim 2] A master mode liquid crystal drive circuit, an unit, or two or more slave-mode liquid crystal drive circuits consist of column side liquid crystal drive circuits equipped with the control circuit in which each builds a gradation level signal generator. While said master mode liquid crystal drive circuit generates liquid crystal drive timing signal STB and the frame signal FRMB with an oscillator 13 and a timing generator 12, inputs them into the self control circuit 14 and outputs a liquid crystal drive output. This liquid crystal drive timing signal STB and the frame signal FRMB are sent out to said slave-mode liquid crystal drive circuit. The gradation level signals L1 and L2 are outputted from the self control circuit 14, and it sends out to said slave-mode liquid crystal drive circuit. Said slave-mode liquid crystal drive circuit While inputting said liquid crystal drive timing signal STB and the frame signal FRMB into the self control circuit 24 and outputting a liquid crystal drive output Gradation level signal L1 from control circuit 24 which is self', and said gradation level signals L1 and L2 which output L2', input into the self-test circuit 28, and are inputted into this self-test circuit 28, The logic of the signal REFRHB from said self-test circuit 28 is reversed between inequalities noting that synchronous gap has arisen, when it compares [$L1=L1'$ and] whether it is $L2=L2'$ and these are not in agreement. In the control approach of the liquid crystal drive circuit which cancels synchronous gap by reversal of the logic of this signal REFRHB While the logic of said signal REFRHB is reversed, The control approach of the liquid crystal drive circuit characterized by stopping the input of said frame signal FRMB inputted into said control circuit 24 from said master mode liquid crystal drive circuit, and liquid aforementioned ***** timing signal STB, and canceling synchronous gap.

BEST AVAILABLE COPY

[Claim 3] A master mode liquid crystal drive circuit, an unit, or two or more slave-mode liquid crystal drive circuits consist of column side liquid crystal drive circuits equipped with the control circuit in which each builds a gradation level signal generator. While said master mode liquid crystal drive circuit generates liquid crystal drive timing signal STB and the frame signal FRMB with an oscillator 13 and a timing generator 12, inputs them into the self control circuit 14 and outputs a liquid crystal drive output. This liquid crystal drive timing signal STB and the frame signal FRMB are sent out to said slave-mode liquid crystal drive circuit. The gradation level signals L1 and L2 are outputted from the self control circuit 14, and it sends out to said slave-mode liquid crystal drive circuit. Said slave-mode liquid crystal drive circuit While inputting said liquid crystal drive timing signal STB and the frame signal FRMB into the self control circuit 24 and outputting a liquid crystal drive output Gradation level signal L1 from control circuit 24 which is self', and said gradation level signals L1 and L2 which output L2', input into the self-test circuit 28, and are inputted into this self-test circuit 28, The logic of the signal REFRHB from said self-test circuit 28 is reversed between inequalities noting that synchronous gap has arisen, when it compares [$L1=L1'$ and] whether it is $L2=L2'$ and these are not in agreement. In the control approach of the liquid crystal drive circuit which cancels synchronous gap by reversal of the logic of this signal REFRHB Said signal REFRHB is inputted into said timing generator and control circuit of all column side liquid crystal drive circuits. The control approach of the liquid crystal drive circuit characterized by canceling synchronous gap by resetting said timing generator and said gradation level signal generator built in said control circuit.

[Claim 4] A master mode liquid crystal drive circuit, an unit, or two or more slave-mode liquid crystal drive circuits consist of column side liquid crystal drive circuits equipped with the control circuit in which each builds a gradation level signal generator. While said master mode liquid crystal drive circuit generates liquid crystal drive timing signal STB and the frame signal FRMB with an oscillator 13 and a timing generator 12, inputs them into the self control circuit 14 and outputs a liquid crystal drive output. This liquid crystal drive timing signal STB and the frame signal FRMB are sent out to said slave-mode liquid crystal drive circuit. It has a means to output the gradation level signals L1 and L2 from the self control circuit 14, and to send out to said slave-mode liquid crystal drive circuit. Said slave-mode liquid crystal drive circuit While inputting said liquid crystal drive timing signal STB and the frame signal FRMB into the self control circuit 24 and outputting a liquid crystal drive output Gradation level signal L1 from control circuit 24 which is self', and said gradation level signals L1 and L2 which output L2', input into the self-test circuit 28, and are inputted into this self-test circuit 28, The logic of the signal REFRHB from said self-test circuit 28 is reversed between inequalities noting that synchronous gap has arisen, when it compares [$L1=L1'$ and] whether it is $L2=L2'$ and these are not in agreement. In the liquid crystal drive circuit equipped with a means to cancel synchronous gap by reversal of the logic of this signal REFRHB While the logic of said signal REFRHB is reversed in said slave-mode liquid crystal drive circuit, The liquid crystal drive circuit characterized by having the amendment circuit which inserts the "H" pulse between the "L" periods of the frame signal FRMB inputted into said control circuit 24 from said master mode liquid crystal drive circuit, and cancels synchronous gap.

[Claim 5] A master mode liquid crystal drive circuit, an unit, or two or more slave-mode liquid crystal drive circuits consist of column side liquid crystal drive circuits equipped with the control circuit in which each builds a gradation level signal generator. While said master mode liquid crystal drive circuit generates liquid crystal drive timing signal STB and the frame signal FRMB with an oscillator 13 and a timing generator 12, inputs them into the self control circuit 14 and outputs a liquid crystal drive output. This liquid crystal drive timing signal STB and the frame signal FRMB are sent out to said slave-mode liquid crystal drive circuit. It has a means to output the gradation level signals L1 and L2 from the self control circuit 14, and to send out to said slave-mode liquid crystal drive circuit. Said slave-mode liquid crystal drive circuit While inputting said liquid crystal drive timing signal STB and the frame signal FRMB into the self control circuit 24 and outputting a liquid crystal drive output Gradation level signal L1 from control circuit 24 which is self', and said gradation level signals L1 and L2 which output L2', input into

the self-test circuit 28, and are inputted into this self-test circuit 28, The logic of the signal REFRHB from said self-test circuit 28 is reversed between inequalities noting that synchronous gap has arisen, when it compares [$L1=L1'$ and] whether it is $L2=L2'$ and these are not in agreement. In the liquid crystal drive circuit equipped with a means to cancel synchronous gap by reversal of the logic of this signal REFRHB While the logic of said signal REFRHB is reversed in said slave-mode liquid crystal drive circuit, The liquid crystal drive circuit characterized by having the amendment circuit which is made to suspend the input of said frame signal FRMB inputted into said control circuit 24 from said master mode liquid crystal drive circuit, and liquid aforementioned ***** timing signal STB, and cancels synchronous gap.

[Claim 6] Said self-test circuit 28 is a liquid crystal drive circuit given in any of claim 4 characterized by equipping the last stage with an inverter thru/or claim 5 they are.

[Claim 7] A master mode liquid crystal drive circuit, an unit, or two or more slave-mode liquid crystal drive circuits consist of column side liquid crystal drive circuits equipped with the control circuit in which each builds a gradation level signal generator. While said master mode liquid crystal drive circuit generates liquid crystal drive timing signal STB and the frame signal FRMB with an oscillator 13 and a timing generator 12, inputs them into the self control circuit 14 and outputs a liquid crystal drive output This liquid crystal drive timing signal STB and the frame signal FRMB are sent out to said slave-mode liquid crystal drive circuit. It has a means to output the gradation level signals L1 and L2 from the self control circuit 14, and to send out to said slave-mode liquid crystal drive circuit. Said slave-mode liquid crystal drive circuit While inputting said liquid crystal drive timing signal STB and the frame signal FRMB into the self control circuit 24 and outputting a liquid crystal drive output Gradation level signal L1 from control circuit 24 which is self', and said gradation level signals L1 and L2 which output L2', input into the self-test circuit 28, and are inputted into this self-test circuit 28, The logic of the signal REFRHB from said self-test circuit 28 is reversed between inequalities noting that synchronous gap has arisen, when it compares [$L1=L1'$ and] whether it is $L2=L2'$ and these are not in agreement. In the liquid crystal drive circuit equipped with a means to cancel synchronous gap by reversal of the logic of this signal REFRHB Said signal REFRHB is inputted into said timing generator and control circuit of all column side liquid crystal drive circuits. The liquid crystal drive circuit characterized by having a means to reset said timing generator and said gradation level signal generator built in said control circuit, and to cancel synchronous gap.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the liquid crystal drive circuit which builds in

control circuits, such as Display RAM, and the display RAM address, a gradation arithmetic circuit, and its control approach about a liquid crystal drive circuit.

[0002]

[Description of the Prior Art] recent years and PDA (Personal Digital Assistants portable information terminal) etc. --- **** --- since importance is attached to low-power-ization, control circuits, such as Display RAM, and a display RAM address circuit, a gradation arithmetic circuit, are made to build in the column side liquid crystal drive circuit of a liquid crystal display, and development of the technique of attaining low-power-ization of the equipment which uses this liquid crystal display is furthered. A liquid crystal display display is performed combining the output of the liquid crystal drive circuit for a gradation display such whose a drive circuit of a liquid crystal display is a column side liquid crystal drive circuit, and the output of the Rhine selection liquid crystal drive circuit which is a low side liquid crystal drive circuit.

[0003] There are the 2 modes of a master mode and a slave mode in a column side liquid crystal drive circuit, in a master mode, a built-in oscillator is operated and a synchronizing signal is transmitted to a slave-mode liquid crystal drive circuit and a low side liquid crystal drive circuit. Since each column side liquid crystal drive circuit builds in Display RAM, the control circuit, etc., the control circuit of each slave liquid crystal drive circuit has the control circuit of a master liquid crystal drive circuit, and the composition of taking a synchronization, based on the synchronizing signal from a master liquid crystal drive circuit. However, if an outpatient department noise etc. rides on a supply signal line from a master liquid crystal drive circuit and a slave liquid crystal drive circuit judges this noise to be a signal accidentally The column side liquid crystal drive output value which synchronous gap arose in actuation of the gradation arithmetic circuit of the control circuit between a master and a slave etc., and was generated from the gradation arithmetic circuit, The abnormalities in a display of the liquid crystal display panel of vertical Rhine for the output continue by the slave drive circuit where the master drive circuit and the synchronization shifted [the liquid crystal display display expressed with a difference with the low side liquid crystal drive output value outputted based on a liquid crystal gradation level signal].

[0004] The gradation level signal which such synchronous gap is generated by the control circuit of a master side, and is transmitted to a low side liquid crystal drive circuit, From the ability to judge by the comparison with the gradation level signal of a slave liquid crystal drive circuit respectively generated by the control circuit, in the conventional liquid crystal drive circuit Synchronous gap is judged in the self-test circuit in a slave liquid crystal drive circuit, and it is supposed that a system-reset signal is supplied to all slave liquid crystal drive circuits from the judged slave liquid crystal drive circuit, all the liquid crystal drive circuits by the side of a column are initialized, and synchronous gap will be canceled. However, in order to perform this initialization, the problem that a liquid crystal display display carries out a blackout for a moment arises. Hereafter, this is explained in full detail.

[0005] Drawing 12 is the block diagram showing an example of the conventional liquid crystal display. In the configuration in which three column side liquid crystal drive circuits 2-ICs 4 were established in the liquid crystal display 1 of 480x240 size, and one low side liquid crystal drive circuit IC 5 was established The liquid crystal drive circuit 2 is set as a master mode among the column side liquid crystal drive circuits 2-4, and other column side liquid crystal drive circuits 3-4 are set as a slave mode. The liquid crystal drive circuit 2 of a master mode The external resistance R1 for an oscillation is connected, and an internal oscillator is operated. Liquid crystal drive timing signal STB, the frame signal FRMB, and the gradation level signals L1 and L2 The column side slave-mode liquid crystal drive circuits 3-4, It has composition supplied to the low side liquid crystal drive circuit 5, and the self-test circuit output REFRHB has connected mutually each column side liquid crystal drive circuits 2-4. Moreover, the CPU interface signal 7 and the system-reset signal 6 are inputted from the outside.

[0006] Next, with reference to drawing 13 , the configuration and connection relation between the master mode 2 of the column side liquid crystal drive circuits and a slave mode 3 are explained. The

master mode 2 and the slave mode 3 are equipped with oscillators 13 and 23, timing generators 12 and 22, the self-test circuits 18 and 28, control circuits 14 and 24, display 15 and RAM 25, and output circuits 16 and 26.

[0007] In addition, in fact, although it becomes unnecessary [the self-test circuit 18] and becomes unnecessary [an oscillator 23 and a timing generator 22] in the column side liquid crystal drive circuit specified as the slave mode, since the same liquid crystal drive circuit is used, switches SW1-SW8 are performing these change-overs in the column side liquid crystal drive circuit specified as the master mode. In a master mode 2, if switches 1-SW 4 turn on, liquid crystal drive timing signal STB and the frame signal FRMB are outputted from a timing generator 12, these signals will be inputted into the self control circuit 14, display RAM 15 and an output circuit 16 will operate [the oscillator 13 with which the external resistance R1 for oscillators was attached will operate,], and a liquid crystal drive output will be performed. Moreover, these signals are supplied also to the low side liquid crystal drive circuit 5 shown in a slave mode 3 and drawing 12 . Moreover, from a control circuit 14, the gradation level signals L1 and L2 are outputted, and these signals are supplied to a slave mode 3 and the low side liquid crystal drive circuit 5.

[0008] Since switches 5-SW 8 turned off the slave-mode liquid crystal drive circuit 3 and the oscillator 23 and the timing generator 22 have stopped, The signals STB and FRMB to a control circuit 24, and the signal FRMB to the self-test circuit 28 These signals were inputted from the master mode 2, the display RAM 25 and the output circuit 26 were operated, and the liquid crystal drive output was performed, and the gradation level signals L1 and L2 were outputted from the control circuit 24, and it has inputted into the self-test circuit 28 as signal L1' and L2'. As mentioned above the signals L1 and L2 to the self-test circuit 28 It is inputted from the control circuit 14 of a master mode 2, and signals L1 and L2 are compared with L1' and L2'. Consequently, while AND is carried out to the system-reset signal which the self-test circuit output REFRHB is generated, is inputted into one side of self AND circuit 27, and is inputted into another side This self-test circuit output REFRHB has composition supplied to a master mode 2 or other slave modes 4.

[0009] Next, with reference to drawing 14 , the configuration and actuation of the self-test circuit 28 are explained. If, as for the self-test circuit output REFRHB, "H" is set by "H", the set signal S performs coincidence of a signal L1, L1', and L2 and L2' by XOR 1-2 and NOR1 and any or an inequality occurs If "L" level is inputted into the data D of Philip FUOPPU FF 1 and the frame signal RRMB starts in the condition By the circuit where this output consists of a delay circuit D1, an inverter circuit INV1, NOR-circuit NOR2, an N-channel MOS transistor Nch, and a pull-up resistor RU by setting the output Q of FF1 to "L" from "H" The self-test circuit output REFRHB is constituted so that it may be set to "L" for a time delay of a delay circuit D1.

[0010] Next, with reference to drawing 15 , synchronous gap occurs in the conventional liquid crystal drive circuit, and actuation until this gap returns is explained. The operating cycle of the gradation level signals L1 and L2 first outputted by the master mode 2 is explained using drawing 15 R> 5 (B). As for 1 cycle, the frame signal FRMB serves as 1 cycle in four inputs of a low pulse signal of F1-F4, and, as for liquid crystal drive timing signal STB, 121 times of standup signals are inputted between the "L" pulse of the frame signal FRMB, and the following "L" pulse.

[0011] When the "L" pulse is inputted to the timing of F1 of the first frame signal FRMB, the level of L2 is reversed with the standup signal of an STB signal until L1= "H" and L2= "H" are outputted and then the "L" pulse of F2 is inputted by the 1st standup signal of liquid crystal drive timing signal STB. Henceforth, at the time of F2, the level of L2 is reversed in the 1st standup of STB so that it may be called L1= "L" and L2= "H" at L1= "L", L2= "L", and the time of F4 at L1= "H", L2= "L", and the time of F3.

[0012] Next, in drawing 15 (A), the case where a noise (N1) rides on the frame signal FRMB is explained. The system-reset signal RESETB enters first, it has become the initialization time amount of a liquid crystal drive circuit in between for 1 cycle [2 / L1 and / L] S1, Y output serves as OFF (blackout) for

flicker prevention of a liquid crystal display display, and Y output turns into a display ON output after the following cycle S2. In the ON output of S2, a noise N1 to the frame signal FRMB In and the 1 pulse ***** case Synchronous gap occurs in the standup of 3 of the following liquid crystal drive timing signal STB. Synchronous gap is detected by K6 of the detection timing K1-K11 of the self-test circuit 28, the self-test circuit output REFRHB serves as a predetermined period "L", and all the column side liquid crystal drive circuits 2-ICs 4 also including self are reset and initialized by AND-circuit 27 grade. Therefore, although the gradation level signals L1 and L2 are synchronized, in the following cycle S3, Y output becomes off and they serve as ON after the following cycle S4.

[0013]

[Problem(s) to be Solved by the Invention] When a noise rides on a frame signal as mentioned above and synchronous gap arises in the gradation level signal of a master and a slave, suppose the conventional liquid crystal drive circuit that it initializes by transmitting the self-test circuit output REFRHB which detected synchronous gap to all other column side liquid crystal drive circuits, and resetting all column side liquid crystal drive circuits, and synchronous gap is canceled. If all column side liquid crystal drive circuits are initialized, in order to prevent a flicker of Display RAM and the liquid crystal display display between the initialization time amount of a control circuit, the display off output worked, and it had troubles, like there is a possibility that it may be incorrect-judged as display failure while the blackout of the liquid crystal display display will be carried out to there being no system-reset input of normal for a moment and it became offensive to the eye.

[0014] This invention is made in order to solve this trouble, synchronous gap produces it in the gradation level signal of a master and a slave, and also while canceling this synchronous gap, it aims at offering the liquid crystal drive circuit as for which a liquid crystal display display does not carry out a blackout, and its control approach.

[0015]

[Means for Solving the Problem] As for the control approach of the liquid crystal drive circuit of this invention, a master mode liquid crystal drive circuit, an unit, or two or more slave-mode liquid crystal drive circuits consist of column side liquid crystal drive circuits where each was equipped with the control circuit which builds in a gradation level signal generator. While said master mode liquid crystal drive circuit generates liquid crystal drive timing signal STB and the frame signal FRMB with an oscillator 13 and a timing generator 12, inputs them into the self control circuit 14 and outputs a liquid crystal drive output This liquid crystal drive timing signal STB and the frame signal FRMB are sent out to said slave-mode liquid crystal drive circuit. The gradation level signals L1 and L2 are outputted from the self control circuit 14, and it sends out to said slave-mode liquid crystal drive circuit. Said slave-mode liquid crystal drive circuit While inputting said liquid crystal drive timing signal STB and the frame signal FRMB into the self control circuit 24 and outputting a liquid crystal drive output Gradation level signal L1 from control circuit 24 which is self, and said gradation level signals L1 and L2 which output L2', input into the self-test circuit 28, and are inputted into this self-test circuit 28, The logic of the signal REFRHB from said self-test circuit 28 is reversed between inequalities noting that synchronous gap has arisen, when it compares [$L1=L1'$ and] whether it is $L2=L2'$ and these are not in agreement. In the control approach of the liquid crystal drive circuit which cancels synchronous gap by reversal of the logic of this signal REFRHB While the logic of said signal REFRHB is reversed, it is characterized by inserting the "H" pulse between the "L" periods of the frame signal FRMB inputted into said control circuit 24 from said master mode liquid crystal drive circuit, and canceling synchronous gap. Therefore, it is not necessary to reset the whole system, synchronous gap can be canceled, and it is lost that the blackout of the liquid crystal display display is carried out.

[0016] Moreover, while the logic of said signal REFRHB is reversed, it is characterized by stopping the input of said frame signal FRMB inputted into said control circuit 24 from said master mode liquid crystal drive circuit, and liquid aforementioned ***** timing signal STB, and canceling synchronous gap. Therefore, it is not necessary to reset the whole system, synchronous gap can be canceled, and it is

lost that the blackout of the liquid crystal display display is carried out.

[0017] Furthermore, said signal REFRHB is inputted into said timing generator and control circuit of all column side liquid crystal drive circuits, and it is characterized by canceling synchronous gap by resetting said timing generator and said gradation level signal generator built in said control circuit. Therefore, it is not necessary to reset the whole system, synchronous gap can be canceled, and it is lost that the blackout of the liquid crystal display display is carried out.

[0018] Moreover, as for the liquid crystal drive circuit of this invention, a master mode liquid crystal drive circuit, an unit, or two or more slave-mode liquid crystal drive circuits consist of column side liquid crystal drive circuits where each was equipped with the control circuit which builds in a gradation level signal generator. While said master mode liquid crystal drive circuit generates liquid crystal drive timing signal STB and the frame signal FRMB with an oscillator 13 and a timing generator 12, inputs them into the self control circuit 14 and outputs a liquid crystal drive output. This liquid crystal drive timing signal STB and the frame signal FRMB are sent out to said slave-mode liquid crystal drive circuit. It has a means to output the gradation level signals L1 and L2 from the self control circuit 14, and to send out to said slave-mode liquid crystal drive circuit. Said slave-mode liquid crystal drive circuit While inputting said liquid crystal drive timing signal STB and the frame signal FRMB into the self control circuit 24 and outputting a liquid crystal drive output. Gradation level signal L1 from control circuit 24 which is self, and said gradation level signals L1 and L2 which output L2', input into the self-test circuit 28, and are inputted into this self-test circuit 28, The logic of the signal REFRHB from said self-test circuit 28 is reversed between inequalities noting that synchronous gap has arisen, when it compares [$L1=L1'$ and] whether it is $L2=L2'$ and these are not in agreement. In the liquid crystal drive circuit equipped with a means to cancel synchronous gap by reversal of the logic of this signal REFRHB While the logic of said signal REFRHB is reversed in said slave-mode liquid crystal drive circuit, It is characterized by having the amendment circuit which inserts the "H" pulse between the "L" periods of the frame signal FRMB inputted into said control circuit 24 from said master mode liquid crystal drive circuit, and cancels synchronous gap. Therefore, it is not necessary to reset the whole system, synchronous gap can be canceled, and it is lost that the blackout of the liquid crystal display display is carried out.

[0019] Moreover, while the logic of said signal REFRHB is reversed in said slave-mode liquid crystal drive circuit, it is characterized by having the amendment circuit which is made to suspend the input of said frame signal FRMB inputted into said control circuit 24 from said master mode liquid crystal drive circuit, and liquid aforementioned ***** timing signal STB, and cancels synchronous gap. Therefore, it is not necessary to reset the whole system, synchronous gap can be canceled, and it is lost that the blackout of the liquid crystal display display is carried out.

[0020] Moreover, said self-test circuit 28 is characterized by equipping the last stage with an inverter. Therefore, low consumed-electric-current-ization is still attained.

[0021] Furthermore, it is characterized by having a means to input said signal REFRHB into said timing generator and control circuit of all column side liquid crystal drive circuits, to reset said timing generator and said gradation level signal generator built in said control circuit, and to cancel synchronous gap. Therefore, it is lost that it is not necessary to reset the whole system, can cancel synchronous gap, and the blackout of the liquid crystal display display is carried out by easy circuitry.

[0022]

[Embodiment of the Invention] Hereafter, the 1st operation gestalt of this invention is explained with reference to a drawing. Drawing 1 is drawing showing an example of the equipment configuration of the liquid crystal display with which the 1st operation gestalt of this invention is applied. For the column side liquid crystal drive circuit IC (master mode), and 3 and 4, as for the low side liquid crystal drive circuit IC and 6, in drawing 1, the column side liquid crystal drive circuit IC (slave mode) and 5 are [1 / a liquid crystal display and 2 / a system-reset signal and 7] CPU interface signals.

[0023] In the configuration in which three column side liquid crystal drive circuits 2-ICs 4 were established in the liquid crystal display 1 of 480x240 size, and one low side liquid crystal drive circuit IC

5 was established The liquid crystal drive circuit 2 is set as a master mode among the column side liquid crystal drive circuits 2-4, and other column side liquid crystal drive circuits 3-4 are set as a slave mode. The liquid crystal drive circuit 2 of a master mode The external resistance R1 for an oscillation is connected, and an internal oscillator is operated. Liquid crystal drive timing signal STB, the frame signal FRMB, and the gradation level signals L1 and L2 The column side slave-mode liquid crystal drive circuits 3-4, It has the composition that have composition supplied to the low side liquid crystal drive circuit 5, and the CPU interface signal 7 and the system-reset signal 6 are inputted from the outside.

[0024] Next, with reference to drawing 2 , the configuration and connection relation between the master mode 2 of the column side liquid crystal drive circuits and a slave mode 3 are explained. The master mode 2 and the slave mode 3 are equipped with oscillators 13 and 23, timing generators 12 and 22, the self-test circuits 18 and 28, control circuits 14 and 24, the display rams 15 and 25, the pulse amendment circuits 19 and 29, and OR circuits or11 and or12.

[0025] In addition, in fact, although it becomes unnecessary [the self-test circuit 18 the pulse amendment circuit 19, and OR circuit or11] and becomes unnecessary [an oscillator 23 and a timing generator 22] in the column side liquid crystal drive circuit specified as the slave mode, since the same liquid crystal drive circuit is used, these change-overs are performed in the switch SW1 - SW8 grade in the column side liquid crystal drive circuit specified as the master mode. In a master mode 2, if switches 1-SW 4 turn on, liquid crystal drive timing signal STB and the frame signal FRMB are outputted from a timing generator 12, these signals will be inputted into the self control circuit 14, display RAM 15 and an output circuit 16 will operate [the oscillator 13 with which the external resistance R1 for oscillators was attached will operate,], and a liquid crystal drive output will be performed. Moreover, these signals are supplied also to the low side liquid crystal drive circuit 5 shown in a slave mode 3 and drawing 1 . Moreover, from a control circuit 14, the gradation level signals L1 and L2 are outputted, and these signals are supplied to slave modes 3-4 and the low side liquid crystal drive circuit 5.

[0026] Since switches 5-SW 8 turned off the slave-mode liquid crystal drive circuit 3 and the oscillator 23 and the timing generator 22 have stopped, STB to a control circuit 24, and a FRMB signal Although these signals are inputted from a master mode 2, display RAM 25 and an output circuit 26 are operated and a liquid crystal drive output is performed The frame signal FRMB inputted branches to three, and one of them is inputted into one input terminal of the pulse amendment circuit 29. Other one has the composition that the output and OR of the pulse amendment circuit 29 which are inputted into one input terminal of OR circuit or21, and are inputted into one [of this OR circuit or21] of other input terminals are taken, it is inputted into a control circuit 24, and one of further others is inputted into the self-test circuit 28. Moreover, the gradation level signals L1 and L2 were outputted from the control circuit 24, and it has inputted into the self-test circuit 28 as signal L1' and L2'. As mentioned above, signals L1 and L2 are inputted into the self-test circuit 28 from the control circuit 14 of a master mode 2, and it has to it signals L1 and L2, L1', and the composition of L2' being compared, consequently the self-test circuit output REFRHB being generated, and being inputted into one terminal of the pulse amendment circuit 29.

[0027] Next, with reference to drawing 3 , the configuration and actuation of the self-test circuit 28 of this operation gestalt are explained. If "H" is set to the self-test circuit output REFRHB by "H", the set signal S performs coincidence of a signal L1, L1', and L2 and L2' by XOR 1-2 and NOR1 and any or an inequality occurs If "L" level is inputted into the data D of Philip FUOPPU FF 1 and the frame signal FRMB starts in the condition By the circuit where the signal consists of a delay circuit D1, an inverter circuit INV1, NOR-circuit NOR2, and an inverter circuit INV2 by setting the output Q of FF1 to "L" from "H" The self-test circuit output REFRHB is constituted so that it may become a part for the time delay of a delay circuit D1 "L." That is, it changes to the Nch transistor of the conventional self-test circuit shown in drawing 14 , and the inverter circuit INV2 is used. This is because it is necessary to initialize no column side liquid crystal drive circuits so that it may mention later.

[0028] Next, with reference to drawing 4 , the configuration and actuation of the pulse amendment circuit 29 of this operation gestalt are explained. It is initialized by the reset signal RB and, as for the

amendment circuit output FRPW, "L" is set. If the self-test circuit output REFRHB of drawing 3 is inputted and Q output of FF10 is set to "H" from "L" in falling of the following frame signal FRMB at the time of the standup of the frame signal FRMB It has the composition that the "H" pulse signal for a time delay of a delay circuit D30 (PW1) is outputted from the amendment output FRPW after a part for the time delay Dy 1 of a delay circuit D20, by the delay circuit D20, the delay circuit D30, the inverter circuit INV10, and AND-circuit AND10.

[0029] Next, with reference to drawing 5 , synchronous gap occurs in the liquid crystal drive circuit of this operation gestalt, and actuation until this gap returns is explained. The operating cycle of the gradation level signals L1 and L2 first outputted by the master mode 2 is explained using drawing 5 (B). As for 1 cycle, the frame signal FRMB serves as 1 cycle in four inputs of a low pulse signal of F1-F4, and, as for liquid crystal drive timing signal STB, 121 times of standup signals are inputted between the "L" pulse of the frame signal FRMB, and the following "L" pulse.

[0030] When the "L" pulse is inputted to the timing of F1 of the first frame signal FRMB, the level of L2 is reversed with the standup signal of an STB signal until L1= "H" and L2= "H" are outputted and then the "L" pulse of F2 is inputted by the 1st standup signal of liquid crystal drive timing signal STB. Henceforth, at the time of F2, the level of L2 is reversed in the 1st standup of STB so that it may be called L1= "L" and L2= "H" at L1= "L", L2= "L", and the time of F4 at L1= "H", L2= "L", and the time of F3.

[0031] Next, in drawing 5 (A), the case where a noise (N1) rides on the frame signal FRMB is explained. The system-reset signal RESETB enters first, it has become the initialization time amount of a liquid crystal drive circuit in between for 1 cycle [2 / L1 and / L] S1, Y output serves as OFF (blackout) for flicker prevention of a liquid crystal display display, and Y output serves as ON after the following cycle S2. In the ON output of S2, synchronous gap occurs [a noise N1] 1 pulse ***** case to the frame signal FRMB in the standup of 3 of the following liquid crystal drive timing signal STB. And by K6 of the detection timing K1-K10 of the self-test circuit 28 In falling of the frame signal FRMB which it becomes L1 !=L1', and the "L" pulse signal occurs in the output REFRHB of the self-test circuit 28, is inputted into one side of the own pulse amendment circuit 29, and is inputted into other one side of this pulse amendment circuit 29 As shown in (PW1) of drawing 4 (B), the "H" pulse signal for a time delay of a delay circuit D30 occurs in the pulse amendment circuit output FRPW. The this "H" pulse is inputted into OR circuit or21 with the frame signal FRMB. The "H" pulse is added to the frame signal FRMB inputted into the control circuit 24 which is the output of this OR circuit or21 +one time. Although it progresses +one and signal L1' and L2' are set to "L" and "L" from the condition that the condition of the cycle of the gradation level signal of the own control circuit 24 is the cycle of the gradation level signal of a master mode 2 L1!=L1' and since the synchronization has still shifted from L2 !=L2', to the following timing of K7 in falling of F4 of the frame signal FRMB The "H" pulse is again added +one time from the pulse amendment circuit 29 (PW2), and from the pulse amendment circuit 29, the "H" pulse is added +one (PW3), and is synchronized until it does in this way and can take a synchronization to the timing of K9. Therefore, without resetting which column side liquid crystal drive circuits 2-4, Y output turns into a display ON output, and it can avoid that a blackout is carried out also until it can cancel synchronous gap and synchronizes.

[0032] Next, the 2nd operation gestalt of this invention is explained with reference to a drawing. The liquid crystal display with which the liquid crystal drive circuit of this 2nd operation gestalt is applied is the same as the liquid crystal display shown in drawing 1 , and that explanation is omitted. So that drawing 6 may be drawing showing the 2nd [this] configuration and connection relation of the master mode 2 and slave mode 3 in an operation gestalt and it may mention later by drawing 7 by OR circuits or21 and or22 with the configuration of the pulse amendment circuit 29 It is the same as that of the configuration of the 1st operation gestalt shown in drawing 2 except for the point which has the composition that OR of liquid crystal drive timing signal STB and the frame signal FRMB which are inputted from a master mode 2 is carried out to the output MASK of the pulse amendment circuit 29,

and they are inputted into a control circuit 24. Moreover, it is the same as that of the 1st operation gestalt which also shows the configuration and actuation of the self-test circuit 28 to drawing 3 , and these explanation is omitted.

[0033] Next, with reference to drawing 7 , the configuration and actuation of a pulse amendment circuit in this operation gestalt are explained. It is initialized by the reset signal RB, and the pulse amendment circuit output MASK is in the "L" condition, and it is constituted so that it may be "L" of the self-test circuit output REFRHB, the pulse amendment circuit output MASK may be set to "H" and the pulse amendment circuit output MASK may be set to "L" from "H" in the standup of the following frame signal FRMB.

[0034] Next, with reference to drawing 8 , synchronous gap occurs in the liquid crystal drive circuit of this 2nd operation gestalt, and actuation until this gap returns is explained. In addition, about the operating cycle of the gradation level signals L1 and L2 outputted by the master mode 2 shown in drawing 8 (B), since it is the same as that of the 1st operation gestalt shown in drawing 5 (B), the explanation is omitted. Next, in drawing 8 R> 8 (A), the case where a noise (N1) rides on the frame signal FRMB is explained. The system-reset signal RESETB enters first, it has become the initialization time amount of a liquid crystal drive circuit in between for 1 cycle [2 / L1 and / L] S1, Y output serves as OFF (blackout) for flicker prevention of a liquid crystal display display, and Y output serves as ON after the following cycle S2. In the ON output of S2, synchronous gap occurs [a noise N1] 1 pulse ***** case to the frame signal FRMB in the standup of 3 of the following liquid crystal drive timing signal STB. And by K6 of the detection timing K1-K10 of the self-test circuit 28 Become L1 !=L1' and the "L" pulse signal occurs in the output REFRHB of the self-test circuit 28. It is inputted into one side of the own pulse amendment circuit 29, and the output MSAK of this pulse amendment circuit 29 is set to "H." The output of each OR circuit or21 and or22 is set to "H", and the clock of liquid crystal drive timing signal STB and the frame signal FRMB inputted from a master mode 2 is not inputted into a control circuit 24. If a synchronization is henceforth established to the timing of K7 and the output REFRHB of the self-test circuit 28 is set to "H", the output MSAK of the pulse amendment circuit 29 will be set to "L", the clock of liquid crystal drive timing signal STB from a master mode and the frame signal FRMB will be inputted into a control circuit 24, and it will return to the usual actuation. Therefore, without resetting which column side liquid crystal drive circuits 2-4, Y output turns into a display ON output, and it can avoid that a blackout is carried out also until it can cancel synchronous gap and synchronizes.

[0035] Next, the 3rd operation gestalt of this invention is explained with reference to a drawing. The liquid crystal display with which this 3rd operation gestalt is applied is the same as that of drawing 12 explained as a conventional technique, and that explanation is omitted. Drawing 9 is drawing showing the 3rd [this] configuration and connection relation of the master mode 2 and slave mode 3 in an operation gestalt, and that configuration is the same as that of the configuration of the conventional technique shown in drawing 13 except for the point of being inputted into the control circuit 24 as it is, without the self-test circuit output REFRHB and a system reset signal minding an AND circuit, and the point that the output REFRHB of a self-test circuit is inputted into each timing generator 12.

[0036] Drawing 10 is drawing showing the connection relation of the gradation level signal generator 31 built in the control circuit 24 of this 3rd operation gestalt. The gradation level signal generator 31 is a circuit which generates the cycle of actuation of drawing 11 (B) of L1 and L2, is initialized in the AND logic of the output REFRHB of a system-reset signal and a self-test circuit, and will be in the condition of signal L1= "H" and L2= "H" in the standup of the following liquid crystal drive timing signal STB (F1 of drawing 11 (B)).

[0037] Next, in drawing 11 (A), the case where a noise (N1) rides on the frame signal FRMB is explained. The system-reset signal RESETB enters first, it has become the initialization time amount of a liquid crystal drive circuit in between for 1 cycle [2 / L1 and / L] S1, Y output serves as OFF (blackout) for flicker prevention of a liquid crystal display display, and Y output serves as ON after the following cycle S2. In the ON output of S2, synchronous gap occurs [a noise N1] 1 pulse ***** case to the frame

signal FRMB in the standup of 3 of the following liquid crystal drive timing signal STB. And by K6 of the detection timing K1-K11 of the self-test circuit 28 Become L1 !=L1' and the "L" pulse signal occurs in the output REFRHB of the self-test circuit 28. Although this self-test output REFRHB is inputted into an own control circuit 24 and an own timing generator 22 and also the gradation level signal generator 31 which was inputted into all other column side liquid crystal drive circuits, and was built in each timing generator and control circuit is reset To other control circuits of each control circuit, "H" of a system-reset signal continues as it is, and is maintained to them. Therefore, it can avoid now that Y output turns into a display ON output, and the blackout of it is carried out also until the display action of which column side liquid crystal drive circuits 2-4 can cancel synchronous gap and is synchronized, without being reset.

[0038]

[Effect of the Invention] The following effectiveness produces the liquid crystal drive circuit and its control approach of this invention in it being constituted and operating, as explained above. Since it considered as the configuration which synchronizes without using a system-reset function when synchronous gap occurred and synchronous gap was canceled, the blackout of a liquid crystal display display can be lost. Moreover, in the 1st operation gestalt and the 2nd operation gestalt, it is necessary to write as the configuration which synchronizes for liquid crystal drive circuit itself which synchronous gap produced, and to initialize no column liquid crystal drive circuits IC, the self-test circuit output REFRHB line which connects between each column liquid crystal drive circuit IC can be omitted, and simplification of a liquid crystal display can be attained. Since the Nch open drain of the REFRHB terminal for furthermore initializing all the column liquid crystal drive circuits IC becomes unnecessary, there is effectiveness, like further low consumed-electric-current-ization can be attained (for example, when it is eight VGA sizes, penetration current MAX5mA of a throughout can be reduced at the time of reset).

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing an example of the equipment configuration of the liquid crystal display with which the 1st operation gestalt of this invention is applied.

[Drawing 2] It is drawing for explaining the 1st operation gestalt of this invention.

[Drawing 3] It is drawing for explaining the configuration and actuation of the self-test circuit 28 of this operation gestalt.

[Drawing 4] It is drawing for explaining the configuration and actuation of the 1st of the pulse amendment circuit 29 of an operation gestalt which are shown in drawing 2 .

[Drawing 5] It is drawing for explaining the synchronous gap dissolution actuation in the 1st operation

gestalt.

[Drawing 6] It is drawing for explaining the 2nd operation gestalt of this invention.

[Drawing 7] It is drawing for explaining the configuration and actuation of the 2nd of the pulse amendment circuit 29 of an operation gestalt which are shown in drawing 6 .

[Drawing 8] It is drawing for explaining the synchronous gap dissolution actuation in the 2nd operation gestalt.

[Drawing 9] It is drawing for explaining the 3rd operation gestalt of this invention.

[Drawing 10] It is drawing showing the connection relation of the gradation level signal generator in the 3rd operation gestalt.

[Drawing 11] It is drawing for explaining the synchronous gap dissolution actuation in the 3rd operation gestalt.

[Drawing 12] It is drawing showing an example of the liquid crystal display with which the conventional liquid crystal drive circuit is applied.

[Drawing 13] It is drawing for explaining the conventional liquid crystal drive circuit.

[Drawing 14] It is drawing for explaining the conventional configuration and actuation of the self-test circuit 28 of a liquid crystal drive circuit.

[Drawing 15] It is drawing for explaining the synchronous gap dissolution actuation in the conventional liquid crystal drive circuit.

[Description of Notations]

1 Liquid Crystal Display

2 Column Side Liquid Crystal Drive Circuit IC (Master Mode)

3-4 Column side liquid crystal drive circuit IC (slave mode)

5 Low Side Liquid Crystal Drive Circuit IC

6 System-Reset Signal

7 CPU Interface Signal

12 22 Timing generator

13 23 Oscillator

14 24 Control circuit

15 25 Display ram

17, 27, AND10, AND20, AND30, AND40 AND circuit

18 28 Self-test circuit

19 29 Pulse amendment circuit

31 Gradation Level Signal Generator

or11, or12, or21, or22 OR circuit

XOR1, XOR2 XOR circuit

NOR1, NOR2 NOR circuit

FF1, FF10, FF11, a flip-flop

INV1, INV2, INV10 Inverter circuit

D1, D10, D11, D20, D30 Delay circuit

Nch N-channel MOS transistor

DOOFB' Display FU output

STB Liquid crystal drive timing signal

FRMB Frame signal

L1, L2 Master mode gradation level signal

L1', L2' Slave-mode gradation level signal

REFRHB Self-test circuit output

RESETB System-reset signal

FRPW, MASK Pulse amendment circuit output

N1 Noise

BEST AVAILABLE COPY

S1-4 Operating cycle of L1 and L2
K1-K11 Self-test detection timing
PW 1-3 Pulse amendment circuit output
Y output Liquid crystal drive output

[Translation done.]

BEST AVAILABLE COPY